

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-311980

(43)Date of publication of application : 09.11.1999

(51)Int.Cl.

G09G 3/36

G02F 1/133

G02F 1/133

(21)Application number : 10-118879

(71)Applicant : HITACHI LTD
HITACHI DEVICE ENG CO LTD

(22)Date of filing : 28.04.1998

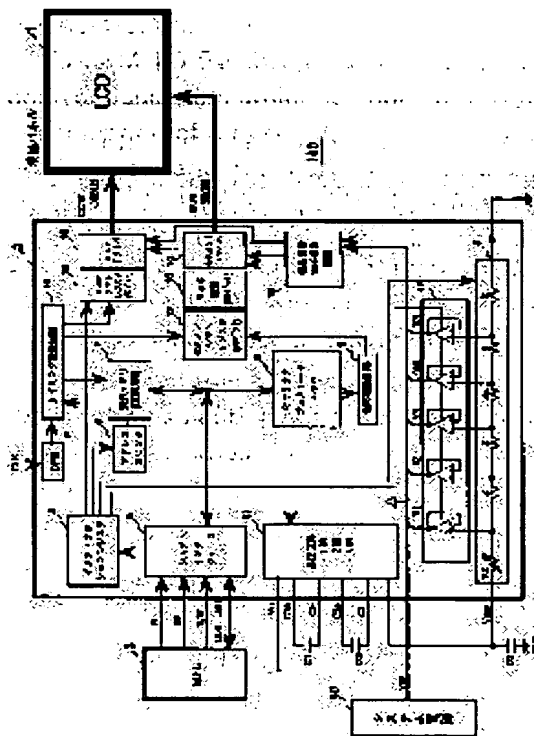
(72)Inventor : YOKOTA YOSHIKAZU
TANI KUNIIHIKO
SAKAMAKI GORO
YAMAMOTO KATSUHIKO
YONEOKA TAKU
HIGUCHI KAZUHISA
SUGIYAMA KIMIIHIKO

(54) LIQUID CRYSTAL DISPLAY CONTROL EQUIPMENT AND LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display control equipment which is capable of reducing the total power consumption of a system by dynamically changing a liquid crystal driving duty ratio in accordance with the operating state of the system and which is capable of performing the driving of a liquid crystal display by setting an optimum liquid crystal driving voltage and an optimum liquid crystal driving bias condition easily in accordance with the liquid crystal driving duty ratio in the case of performing such a variable duty display.

SOLUTION: In this liquid crystal display control equipment 2, a driving duty selecting register and a driving bias selecting register which are rewritable from a microprocessor are provided. The equipment is made to selectively perform a display on one part of a liquid crystal display panel 1 with a low voltage and a low duty drive by changing the set values of the driving duty selecting register and the driving bias selecting register in the case of changing over the display from the display of the whole surface of the liquid crystal display panel 1 to the display of only rows of one part of the display panel.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The display memory which memorizes the cord data corresponding to the character pattern which should be displayed, The character generator memory which stores two or more character patterns, The segment driver which forms and outputs the segment signal which controls lighting and the astigmatism LGT of a pixel according to the read pattern data, The common driver which forms and outputs the common signal which carries out the Rhine selection drive to time sharing, The timing generating circuit which can change the drive duty in the time-sharing drive by this common driver, It has the drive bias circuit which can change a liquid crystal drive bias ratio, and the booster circuit which generates liquid crystal driver voltage higher than the supply voltage of a system of operation. It is the liquid crystal display control unit which drives the liquid crystal display panel which has the pixel which was equipped with two or more common electrodes and segment electrodes, and has been arranged in the shape of a dot matrix with the output signal of the above-mentioned segment driver and a common driver, and performs a character pattern display. A drive duty setting means by which the drive duty by the above-mentioned timing generating circuit can be set up, and a drive bias setting means by which the drive bias ratio in the above-mentioned drive bias circuit can be set up are established. The liquid crystal display control unit characterized by constituting from changing the set point of the above-mentioned drive duty setting means and a drive bias setting means possible [a display] by low duty and once low-battery drive alternatively in some lines of the above-mentioned liquid crystal display panel.

[Claim 2] The liquid crystal display control unit according to claim 1 characterized by having a pressure-up scale-factor setting means by which the pressure-up output scale factor in the above-mentioned booster circuit can be changed into arbitration, and making it change the output scale factor of a booster circuit according to the drive duty of liquid crystal.

[Claim 3] The above-mentioned common driver is a liquid crystal display control unit according to claim 1 or 2 characterized by outputting the signal which carries out the alternating current drive of the liquid crystal on non-choosing level to Rhine of the display drawing surface part which does not display.

[Claim 4] The above-mentioned timing generating circuit is a liquid crystal display control device according to claim 1, 2, or 3 characterized by forming and outputting the timing signal which sets up and displays on a display screen center section the output location of the common driver which outputs selection level for every Rhine in the low duty drive below the output-signal total of the common driver which a liquid crystal display control device has.

[Claim 5] The information on each above-mentioned setting means is a liquid crystal display control unit according to claim 1, 2, 3, or 4 characterized by consisting of the exteriors possible [rewriting].

[Claim 6] The liquid crystal display characterized by coming to have the microprocessing unit which is connected with a liquid crystal display control device according to claim 1, 2, 3, 4, or 5 and this liquid crystal display control device, and sets up information over the writing and the above-mentioned setting means of an indicative data against the above-mentioned display memory, and the liquid crystal display panel driven with the above-mentioned liquid crystal display control device.

[Claim 7] The display memory which memorizes the cord data corresponding to the pattern which should be displayed, The character generator memory which stores two or more patterns, and the segment

driver which forms and outputs the segment signal which controls lighting and the astigmatism LGT of a pixel according to the read pattern data, The common driver which forms and outputs the common signal which carries out the Rhine selection drive to time sharing, The timing generating circuit which can change the drive duty in the time-sharing drive by this common driver, The drive bias circuit which can change a liquid crystal drive bias ratio, and the booster circuit which can generate liquid crystal driver voltage higher than the supply voltage of a system of operation, It is the liquid crystal display control unit which drives the liquid crystal display panel which has the pixel which was equipped with two or more common electrodes and segment electrodes, and has been arranged in the shape of a dot matrix with the output signal of the above-mentioned segment driver and a common driver, and performs a pattern display. A drive duty setting means by which the drive duty by the above-mentioned timing generating circuit can be set up, and a drive bias setting means by which the drive bias ratio in the above-mentioned drive bias circuit can be set up are established. The liquid crystal display control unit characterized by constituting from changing the set point of the above-mentioned drive duty setting means and a drive bias setting means possible [a display of a character pattern] by low duty and low-battery drive alternatively in the line of the central part of the above-mentioned liquid crystal display panel.

[Claim 8] The liquid crystal display control circuit which is a liquid crystal display control circuit which drives the dot-matrix mold liquid crystal display panel which can display a multi-line, and contains the 1st register for setting up drive duty, the 2nd register for setting up drive bias; and the 3rd register that sets up whether a dot pattern is alternatively displayed on 1 thru/or two or more lines of the central part of the above-mentioned liquid crystal display panel.

[Claim 9] Furthermore, the booster circuit which can change a pressure-up scale factor and the liquid crystal display control circuit containing the 4th register which sets up the pressure-up scale factor of the above-mentioned booster circuit according to claim 8.

[Claim 10] The liquid crystal display control circuit according to Claim 8 which changes the value of the 1st register of the above, and the 2nd register when changing the values of the 3rd register of the above.

[Claim 11] The liquid crystal display control circuit which is a liquid crystal display control circuit which drives the dot-matrix mold liquid crystal display panel which can display a multi-line, has the 1st register for setting up drive duty, the 2nd register for setting up drive bias, and one voltage output terminal, and contains the 3rd register which sets up the pressure-up scale factor of one booster circuit which can change the pressure-up scale factor, and the above-mentioned booster circuit.

[Claim 12] A liquid crystal display control circuit including the 1st setting circuit for setting up the number of the common line driving signal which is the liquid crystal display control circuit which carries out a sequential output, and outputs two or more common line driving signals and two or more segment line driving signals to time sharing since a liquid crystal display panel is driven, the 2nd setting circuit for setting up drive bias, and the 3rd setting circuit that sets up whether a pattern is alternatively displayed near the center of the above-mentioned liquid crystal display panel.

[Claim 13] The liquid crystal display control circuit according to claim 12 which lessens the number of outputs of the common line driving signal outputted by the above-mentioned 1st setting circuit, and is made possible [setting up so that the above-mentioned drive bias may be reduced by the above-mentioned 2nd setting circuit] when the information which directs to display a pattern alternatively near the center of the above-mentioned liquid crystal display panel is set as the above-mentioned 3rd setting means.

[Claim 14] It is the liquid crystal display control circuit where the above-mentioned liquid crystal display control circuit has the timing control circuit controlled to carry out the sequential output of two or more common line driving signals for every one-frame period at time sharing, and the above-mentioned timing control circuit includes the function to set up the period of the one above-mentioned frame uniformly even if a setup of the above-mentioned 1st setting circuit is changed.

[Claim 15] It is the liquid crystal display system which controls the above-mentioned liquid crystal

display control unit so that the above-mentioned microprocessor displays a pattern on the central part of the above-mentioned liquid crystal panel alternatively, when it is a liquid crystal display system containing a liquid crystal display panel, the liquid crystal display control unit which displays a pattern on the above-mentioned liquid crystal display panel, and the microprocessor which controls actuation of the above-mentioned display-control circuit and the above-mentioned liquid crystal display system is made into a standby mode.

[Claim 16] The above-mentioned liquid crystal display system is a liquid crystal display system according to claim 15 which is a telephone system.

[Claim 17] The above-mentioned liquid crystal panel is a liquid crystal display system according to claim 16 by which two or more pixels of the central part of a TODDO matrix display for a part of and a segment display are alternatively turned on when it has a TODDO matrix display and a segment display and is made the above-mentioned standby mode.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original text precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001] This invention relates to a liquid crystal display system.

[Industrial Application] This invention is used for the display-control circuit of the liquid crystal panel which applies to a display-control technical pan at liquid crystal drive control, and has independently display functions, such as a picture and a mark icon of a segmental die thru/or an alphabetic character (figure), especially with the liquid crystal panel for a dot-matrix mold character display, or a dot-matrix mold character display, concerning an effective technique, and relates to an effective technique.

[0002]

[Description of the Prior Art] Generally, the liquid crystal display consists of microprocessors (MPU) or microcontrollers containing the micro processing unit (CPU) which controls the display action of a liquid crystal display panel, the liquid crystal display control device integrated-circuit-ized on the semi-conductor substrate for driving this liquid crystal display panel, and the writing of an indicative data and said liquid crystal display control device etc.

[0003] The liquid crystal display control unit having the character generator for generating the display pattern of a dot-matrix method The indicative-data memory which stores a character code (random access memory for the following and indicative datas: also call it indicative-data RAM), The character generator memory which stores character patterns, such as a character font, (the read-only memory for character generators: also call it a character generator ROM), The address counter which reads an indicative data from the above-mentioned indicative-data RAM according to the activation point of a liquid crystal display panel, It consists of a liquid crystal drive circuit which forms each driving signal over the common electrode and segment electrode of a liquid crystal display panel, and drives liquid

crystal, a timing generating circuit which forms the clock signal which gives display timing.

[0004] A microprocessor writes the character code corresponding to a character to display on a liquid crystal display panel in indicative-data RAM. An address counter reads a character code from sequential indicative-data RAM according to the activation point of a liquid crystal display panel, accesses a character generator ROM to the read character code as a part of address, and reads a character pattern one by one. It is sent to the segment shift register in a liquid crystal drive circuit one by one as lighting / astigmatism LGT data of liquid crystal, when the data for one line are stored, all segment driver circuits output the driver voltage of lighting / astigmatism LGT level all at once, and the read character pattern drives a liquid crystal display panel.

[0005] In addition, since it consists of two or more Rhine perpendicularly, each character repeats the above-mentioned control for every display line by the number of Rhine of a character (it is eight lines when a character is a 5x8 dot configuration of every direction), and is performed. Lighting / astigmatism LGT control of one line of the above-mentioned display are performed at a time by time-division system. Therefore, a common driver carries out the sequential output of the driver voltage of the selection level of each Rhine in delivery and this shift register shifting to a common shift register the selection signal of one line generated from the timing control circuit for every line.

[0006]

[Problem(s) to be Solved by the Invention] Sometimes it is not necessary to await and to display all over a liquid crystal display panel, and the minimum display of a calender display, a clock display, the mark further called a pictogram, an icon, etc. should just be made in portable electronic devices, such as a portable telephone, a pager, etc. which carried the above liquid crystal displays. However, in liquid crystal displays, such as a portable telephone, although it awaited and the display was sometimes reduced, liquid crystal drive duty was not changed. That is, since it was scanning also about the common electrode of the line which is not displayed, it turned out that it awaits and there is a trouble that power consumption at the time cannot fully be cut down.

[0007] For example, in the liquid crystal display control device which has 32 common drivers, sequential selection is made from the common driver to COM1 signal to the common driver corresponding to COM32 signal, and 32 lines drives on a sequential selection target. The drive approach which carries out sequential the sequential drive of such a common signal line of 32 lines is called 1 / 32 duty drives. In this case, if the size of a character font is 5x8 dots, the character string for four lines can be displayed to that extent perpendicular direction on a liquid crystal panel. In this liquid crystal display control unit, if it performs the time-sharing drive for four lines when you do not need the complete display for four lines, then consumed electric current of liquid crystal driver voltage and a liquid crystal display control unit is equivalent to the case where the complete display for four lines is performed.

[0008] Here, when the complete display for four lines could not be performed in the standby condition of a system, but only some display lines could be driven alternatively, liquid crystal drive duty could be lowered and liquid crystal driver voltage could be reduced, it turned out that the power consumption of a liquid crystal drive control unit can be stopped. However, since the optimal drive bias ratio will also change if liquid crystal driver voltage is changed, on drive conditions as they are, good display contrast is no longer acquired. Moreover, when only liquid crystal drive duty was made low, the display position of a character font was fixed to the top line, and it became clear that there is a trouble that the balance of the appearance as a display worsens.

[0009] In addition, JP,2-131786,U has a booster circuit and a 6 time booster circuit 4 times, and is indicating the liquid crystal matrix display which chooses the booster circuit of the method of either 1 according to the drive duty of liquid crystal. JP,3-119385,A is indicating reducing drive duty and bias and displaying necessary minimum information, such as a clock, while changing an AC power and two or more power sources, such as a cell, into a cell drive in the liquid crystal display circuit made switchable at the time of interruption of service.

[0010] In the electronic equipment carrying a liquid crystal display control device, the purpose of this

invention is changing liquid crystal drive duty dynamically according to the operating state of a system, and when performing such an adjustable duty display, it is to offer the liquid crystal display control device which can drive by setting up easily the optimal liquid crystal driver voltage and the optimal liquid crystal drive bias conditions according to liquid crystal drive duty, while being able to reduce the power consumption of a system total.

[0011] Other purposes of this invention are to offer the system which used the liquid crystal display control unit and it in which setting modification is dynamically possible for the scale factor, the liquid crystal drive duty, the liquid crystal drive bias, and the liquid crystal display location of a pressure-up electrical potential difference.

[0012] Other purposes of this invention are to offer the system using the liquid crystal display control unit and it which can perform the most legible display according to the operating state of a system.

[0013]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is explained among invention indicated in this application.

[0014] That is, a drive duty selection register (it is also called a display line control register) and a drive bias selection register rewritable from a microprocessor are prepared in a liquid crystal display control unit. In the liquid crystal display panel in which four line displays are possible, when changing from a complete display (for example, four line displays) to the display (for example, one line display) of only some lines, the set point of the above-mentioned drive duty selection register and a drive bias selection register is dynamically changed by the microprocessor. A display is made to be performed by the low duty drive battery and low duty drive alternatively on some liquid crystal display panels by it. It can be considered that the value set as a drive duty selection register is the data on the control data of a line count in a liquid crystal panel which should be displayed. The number or class of common shift register which should be used is chosen by these the data.

[0015] In the common shift register (refer to drawing 9) connected to the common driver which carries out time sharing for every line, and specifically outputs selection level, a sequential shift is made to be carried out only at the shift register (from F/F1 to F/F9) corresponding to the part (for example, part of one line display) as which shift register selection information displays the screen of a liquid crystal panel. It is made for the shift register of the part corresponding to the non-display part of the screen of a liquid crystal panel not to make a shift action perform on the other hand.

[0016] The set point of a drive duty selection register is used also for a periodic setup of the shift clock of the above-mentioned common shift register again, namely, the case where the display period of one frame in a complete display (four line displays) is set to 80Hz in the liquid crystal display panel in which four line displays are possible -- a display line -- one line -- or it is made two lines, and even if it is the case where a low Dee Di drive is carried out, as shown in drawing 10, the display period of one line and two lines is set to 80Hz. A cross talk is prevented by it.

[0017] Moreover, in a liquid crystal display control unit, one booster circuit which can change a pressure-up scale factor into a request is prepared. The pressure-up output scale factor of this booster circuit is controlled by the pressure-up scale-factor selection register prepared in the liquid crystal display control device. When changing from the complete display of a liquid crystal display panel to the display of only some lines, the pressure-up electrical potential difference outputted from a booster circuit is made low by the set point of a pressure-up scale-factor selection register being dynamically changed by the microprocessor. Since the output terminal of the above-mentioned booster circuit is set to one and the number of terminals of a liquid crystal display control unit is reduced, the cost of a liquid crystal display control unit is reduced.

[0018] According to the above-mentioned means, since only some lines of a liquid crystal display panel can be alternatively driven with the directions from a microprocessor (low duty drive), the clock frequency and liquid crystal driver voltage of an internal common shift register can be lowered. By it, the total consumed electric current of a liquid crystal display control unit can be stopped. Moreover, since

the optimal drive bias can also be changed with modification of drive duty by preparing a drive bias selection register, the fall of contrast can be prevented. Furthermore, when a low duty drive is formed, pressure-up output voltage can be lowered to the need minimum by setting up low the pressure-up output scale factor of a booster circuit with the set point of a pressure-up scale-factor selection register. Thereby, while being able to lower the operating voltage of a liquid crystal drive power circuit, the effectiveness of a booster circuit can be raised and the consumed electric current of a liquid crystal display control unit can be stopped further.

[0019] Moreover, a centering display assignment register is desirably prepared in a liquid crystal display control device. The set point of a centering display assignment register is alternatively set up by the microprocessor. By this, a dot-matrix mold character can be displayed on the location where a display is the most legible, for example, the central part of a liquid crystal display panel, at the time of standby of systems, such as a portable telephone. For example, in the case of the liquid crystal panel in which four line displays are possible, the 2nd line, the display of the 3rd line, etc. can perform [on / the display of only the 2nd line] a display control for a dot-matrix mold character like from a top. In the 2nd line and the display of the 3rd line, the common signal line corresponding to it drives [on / the display of only the 2nd line] on selection level from a top. On the other hand, about the line (undisplayed line) which is not chosen as a display line, the common signal line drives on non-choosing level. In this case, the set point of a centering display assignment register and the set point of a drive duty selection register are supplied to the shift control circuit (refer to drawing 9) of a common shift register, and two or more flip-flops with which it was specified in the common shift register are chosen.

[0020] [Embodiment of the Invention]

Drawing 1 shows the liquid crystal display system (liquid crystal display) 100 which is the example of this invention. This display system 100 contains the liquid crystal display panel 1 of a dot-matrix method, the liquid crystal display control device 2 on which it is made to display by outputting the signal which drives the common electrode and segment electrode of this liquid crystal display panel (liquid crystal display: LCD) 1, the microprocessor (MPU) 3 which sets up the control information of this liquid crystal display control device 2, or writes in an indicative data and the system powers 40, such as a dc-battery. Between the microprocessor 3 and the liquid crystal display control device 2, the data bus for transmitting and receiving the 8-bit data signals DB0-DB7 between the control signal-line for transmitting reset-signal RS and read/write control signal R/W for directing enable signal E which makes the chip of the above-mentioned equipment 2 validate, and reset to equipment 2 from MPU3, and MPU3 and equipment 2 is formed. Moreover, the liquid crystal display panel 1 and the liquid crystal display control unit 2 are connected by the common signal lines COM1-COM32 and the segment signal lines SEG1-SEG80.

[0021] The SI circuit 4 which transmits and receives the signal between the microprocessors 3 in which the liquid crystal display control unit 2 contains a central processing unit (CPU), The instruction register 5 for setting up internal control information etc., Indicative-data RAM7 (display memory) which memorizes the character code of the alphabetic character displayed on the screen of the liquid crystal display panel 1, The address counter 6 which reads an indicative data from this indicative-data RAM7 according to the activation point of the liquid crystal display panel 1, The character generator memory 8 which develops a dot-matrix-like character-font pattern from the character code read from indicative-data RAM7, The average direct conversion circuit 9 which changes into serial data the two or more bits indicative data read from this character generator memory 8, The segment shift register 12 which shifts the changed indicative data and is held by one line, The latch circuit 13 holding the indicative data for shifted one line, The segment driver 14 which forms and outputs the driver voltage wave impressed to the segment electrode of the liquid crystal display panel 1 based on the held indicative data, The common shift register 15 which forms the signal which makes sequential selection of the common electrode of the liquid crystal display panel 1, The common driver 16 which forms and outputs the driver voltage wave impressed to a common electrode, The timing generating circuit 10 which forms the clock

signal which gives display timing to the timing signal and the above-mentioned shift registers 12 and 15 in which the display position to the above-mentioned display data memory 7 is shown, The booster circuit 11 which generates liquid crystal driver voltage based on the supply voltage V_{ci} from system power 40, The liquid crystal drive bias circuit 18 which generates liquid crystal drive bias voltage based on the electrical potential difference by which the pressure up was carried out, The power circuit 17 which consists of a voltage follower (operational amplifier) which carries out impedance conversion of the generated bias voltage, and outputs it from the liquid crystal drive bias circuit 18, The liquid crystal driver voltage selection circuitry 19 which chooses a desired thing out of the bias voltage outputted from the power circuit 17, and is supplied to the above-mentioned segment driver circuit 14 and the common driver circuit 16 is included. Furthermore, the clock pulse generating circuit corrosion gage point outputs internal clock ϕ to the timing signal generating circuit 10 in response to the clock CLK supplied from the outside.

[0022] In addition, the above-mentioned liquid crystal display control unit 2 is formed on one semiconductor chip of a well-known semiconductor integrated circuit manufacturing technology as a semiconductor integrated circuit (LSI) of a complementary-type metal, an insulator layer, and a semiconductor field-effect transistor (CMOS). Moreover, in drawing 1, C1 and C2 are capacitive elements which constitute a booster circuit, respectively, and C3 is a capacitive element for power-source stabilization. Since these capacitive elements are not magnitude sufficient by the capacity of the capacitive element which can be formed on a semiconductor chip, an external capacitive element (capacitor) is used. Such capacity is made into 1 micro F. (micro F). Although the character generator memory 8 generally consists of ROMs (read only memory), since the display of the pattern which the user-created of it is enabled, RAM (random access memory) may be added to Above ROM. Although not restricted especially, the above-mentioned segment shift register 12 and the common shift register 15 are constituted by the bidirectional shift register.

[0023] The liquid crystal display control unit 2 of this example can display the character of the arbitration stored in the character generator memory 8 by writing the code of a character to display as a microprocessor 3 through SI 4 in indicative data RAM 7 corresponding to a display position. Moreover, if various kinds of control information to which a microprocessor 3 carries out a liquid crystal display through SI 4 is set to an instruction register 5, equipment 2 will perform the display control according to the set-up control information. The writing of the data to indicative data RAM 7 is started because a microprocessor 3 sets the start address of a graphic-character train as an address counter 6. After that, an address counter 6 updates the address automatically and the character code inputted from a microprocessor 3 is written in indicative data RAM 7 one after another.

[0024] An indicative data (character code) is read one by one by the display address signal generated by the timing generating circuit 10 being sent to indicative data RAM 7, and the character pattern stored in the character generator memory 8 by making this character code into the address is read. Furthermore, this character pattern is changed into serial data by the average direct conversion circuit 9, and is sent to the segment shift register 12 in a segment drive circuit (12, 13, 14) one by one. A latch circuit 13 is latched to coincidence in the place where the data for one line were stored in the segment shift register 12, and the segment driver 14 chooses lighting / astigmatism LGT electrical potential difference from this latched data, and outputs it to the liquid crystal display panel 1. The voltage level of this lighting / astigmatism LGT drive is generated in the liquid crystal driver voltage selection circuitry 19.

[0025] For example, since each display line becomes eight lines when carrying out 4 line displays of the character font pattern which consists of 5x8 dots perpendicularly, the common driver 16 needs a total of 32 output circuits. As shown in drawing 2, from COM1 to COM32, this common driver 16 makes the common driving signal (COM1-COM32) of the liquid crystal display panel 1 a sequential selection voltage level, and outputs it to time sharing. In this case, the 2nd line, and COM17-COM24 become the 3rd line, and COM25-COM32 become [the 1st line, and COM9-COM16 / COM1-COM8] the 4th line.

[0026] The complete display which uses all of four lines [time / of standby of a system] in the liquid

crystal display panel 1 which can be displayed to such four lines is not needed in many cases. For example, throughout [standby term] is the case where use two lines or one line and only information, such as time of day and time, is displayed etc. In such a case, in the conventional liquid crystal display control unit, the common driving signal was outputted also to the line which is not displayed, and the electrical potential difference of the level of an astigmatism LGT was impressed to the segment electrode. Therefore, although there was little display line, power consumption had the fault of not decreasing. It is made to operate the common shift register 15 in this invention so that a common driving signal may not be impressed about the line which does not display, either. By this, the power consumption of the liquid crystal display control unit 1 at the time of standby can be reduced.

[0027] However, in COM1-COM16 (1 / 16 duty drives), and COM1-COM8 (1 / 8 duty drives), when it outputs by making a common driving signal into sequential selection level from COM1 also in this case and two line displays and one line display are made to be performed, as shown in drawing 3 and drawing 4, respectively, selection level will be outputted, respectively. If such a drive is performed, as shown in drawing 5 (b) and drawing 5 R> 5 (c), it will be partially displayed on two lines of the screen upper part of the liquid crystal display panel 1 of four line displays, or one line, and appearance will worsen. Drawing 5 (a) shows the example of 4 line displays in 1 / 32 duty drives.

[0028] then, in this example, in performing two line displays and one line display. As shown in drawing 6 and drawing 7, respectively, the selection drive to the common driving signals COM1-COM8 is skipped. With outputting selection level in the range from COM24 (1 / 16 duty drives) from COM9, or COM9 to COM16 (1 / 8 duty drives). The common shift register 15 is operated so that it may display on the screen center section of the liquid crystal display panel 1 alternatively, as shown in drawing 8 (b) and drawing 8 (c). And it enables it to avoid that direct-current bias is impressed to liquid crystal; liquid crystal deteriorates, and a display becomes blackish in this case because undisplayed lines other than the display area of a screen center section always perform an alternating current drive on non-choosing level. In addition, drawing 8 (a) shows the example of 4 line displays in 1 / 32 duty drives.

[0029] Drawing 9 shows the detailed implementation approach for displaying on the screen center section at the time of a low duty drive. The instruction register 5 of drawing 1 contains the drive duty selection register (display line control register) 34 with which a drive duty value is set up, and the centering assignment register 31 which directs to display on a display screen center section alternatively.

[0030] The drive duty selection register 34 has 2-bit control-bit NL1-NL0, and in the case of "00", the value of NL1-NL0 shows four line display (1 / 32 duty drives), and in the case of "01", shows two lines display (1 / 16 duty drives), and it is made to have one line display (1 / 8 duty drives) shown in the case of "10." On the other hand, it is shown that the centering assignment register 31 has the 1-bit control bit CEN, make it have it shown that the value of CEN does not indicate by central in the case of "0", and it indicates by central in the case of "1."

[0031] A microprocessor 3 sets a predetermined value to the above-mentioned drive duty selection register 34 and the centering assignment register 31. The liquid crystal display control device 2 adjusts the period of shift clock signal SCLK of the common shift register 15 formed in the timing generating circuit 10 based on the drive duty value set as the drive duty selection register 34. For example, in order to control uniformly the frame period set to 80Hz when drive duty is changed into two line displays from four line displays for example, the period of the above-mentioned shift clock is made into twice. When drive duty is changed into further 1 line display, the period of the above-mentioned shift clock is made into 4 times. That is, the timing generating circuit 10 includes the clock frequency divider where a division ratio is made adjustable. The division ratio of this clock frequency divider is controlled based on the drive duty value set as the drive duty selection register 34.

[0032] The drive duty value set as the drive duty selection register 34 is supplied also to the shift control circuit 35, and chooses two or more flip-flops in flip-flop F/F1-F/F32 according to the set-up drive duty value. Flip-flop F/F1-F/F8 is used for the display of a liquid crystal panel 1 of the 1st line,

flip-flop F/F9-F/F16 is used for the display of a liquid crystal panel 1 of the 2nd line, flip-flop F/F17-F/F24 is used for the display of a liquid crystal panel 1 of the 3rd line, and flip-flop F/F25-F/F32 is used for the display of a liquid crystal panel 1 of the 4th line. Therefore, when the value of the control bit CEN of the centering assignment register 31 is "0", it sets to four line displays (1 / 32 duty drives). Flip-flop F/F1-F/F32 is chosen by the shift control circuit 35. Flip-flop F/F1-F/F16 is chosen by the shift control circuit 35 in two line displays (1 / 16 duty drives). Flip-flop F/F1-F/F9 is chosen by the shift control circuit 35 in one line display (1 / 8 duty drives).

[0033] The common signal of selection level is made to output to time sharing from the common driver 16 by the set point of the centering assignment register 31 being supplied to the shift control circuit 35, and the shift control circuit 35 shifting the value "1" made into shift register selection information from flip-flop F/F1 to F/F32 at sequence in the case of the usual complete display (four line displays), and going. Flip-flop F/F1-F/F32 outputs alternatively the output signals [CSF / CSF and / 32] 1 of the period when shift register selection information "1" is inputted into the interior, and selection level to the common driver 16. By it, the common driver 16 distinguishes the common signal line which should be made into selection level, and makes selection level the corresponding common signals [COM / COM and / 32] 1. At the time of standby of systems, such as a portable telephone, it is based on the drive duty value (NL1-NL0="01": 2 line display (1 / 16 duty drives)) set as the set point (CEN= "1") of the centering assignment register 31, and the drive duty selection register 34. For example, the common signal of selection level is made to output to the central common line for two lines in time sharing from the common driver 16 by shifting shift register selection information "1" in order, and going from flip-flop F/F9 to F/F24.

[0034] The detailed timing chart when adjusting the period of the shift clock signal of the common shift register 15 to drawing 10 based on the set-up drive duty value, so that a frame period may be made regularly is shown. In the liquid crystal display control device 2 of this example, the shift clock signal is generated in the information directed with the centering display assignment register 31 and the timing signal generating circuit 10 is inputted into the shift control circuit 35 (drawing 9) in the common shift register 15, and the shift register which consists of 32 flip-flops (F/F1-F/F32) is controlled. For example, in the case of four line displays, a complete display is performed by carrying out the sequential shift of the selection information from F/F1 to F/F32. On the other hand, when displaying on two lines of a screen center section, a shift is started from F/F9 and a shift is ended by F/F24. Under the present circumstances, the flip-flop of F/F1 - F/F8 and F/F25 - F/F32 is always reset, and a shift is not performed. Moreover, when displaying on one line of a screen center section, a shift is started from F/F9 and a shift is ended by F/F16. Under the present circumstances, the flip-flop of F/F1 - F/F8 and F/F17 - F/F32 does not shift by always being reset. Making a frame period regularity also in different drive duty has a cross talk and the semantics [CHIRATSUKI of a display] of prevention.

[0035] If drive duty is generally made low, the selection time amount of each Rhine will become long, and it will become easy to turn on the display of the whole panel. Therefore, even after changing into a low duty drive, in order to maintain the same appearance (contrast) as modification before, it is necessary to lower liquid crystal driver voltage and drive bias. Moreover, by this low duty drive-ization, if liquid crystal driver voltage can be lowered, the merit which can reduce power consumption will also be produced. It is necessary to carry out the pressure up of the system power electrical potential difference, and to generate liquid crystal driver voltage especially in the liquid crystal display control unit which needs liquid crystal driver voltage higher than the supply voltage of system power 40. In this case, when the current which flows in the circuit (11-18) of a liquid crystal drive system is supplied through a booster circuit 11, the consumed electric current seen from the system power side becomes twice and 3 times, corresponding to a pressure-up scale factor. And the pressure-up effectiveness in a booster circuit 11 gets so bad that it becomes a high scale factor. Therefore, when supplying a current to the circuit (11-18) of a liquid crystal drive system through a booster circuit 11, the direction which lowered the pressure-up scale factor can hold down the consumed electric current to the need minimum, and is

advantageous to it.

[0036] Furthermore, when drive duty is lowered to $1/2$ and $1/4$ for two line displays or one line display, the period of the selection level of each common signal is made to become twice and 4 times in this example, respectively. Drive duty can be lowered by this, without changing the frequency of one frame. That is, when only drive duty is lowered, there is a possibility of frame frequency increasing and causing deterioration of image quality, but in this example, since drive duty is lowered without changing frame frequency, deterioration of image quality is avoidable.

[0037] In addition, the control which increases the period of the selection level of each common signal twice and 4 times, respectively when drive duty is lowered to $1/2$ and $1/4$ is easily realizable by lowering the frequency of the clock supplied to the common shift register 15 from the timing generating circuit 10 to $1/2$ and $1/4$, respectively. Thus, since he is trying to lower the frequency of a clock when drive duty is lowered to $1/2$ and $1/4$, there is also an advantage that the clock frequency of the internal circuitry which consists of CMOS circuits falls, and power consumption also falls.

[0038] Drawing 11 shows the circuit (11-18) of a liquid crystal drive system. A booster circuit 11 carries out the pressure up of the basic electrical potential difference supplied from the input voltage terminal Vci up to a maximum of 3 times, and outputs it to one VLOUT terminal. A capacitor for C1 and C2 to perform a pressure up by the charge pump method and C3 are the capacitors for power-source stabilization. Since the number of external terminals of the liquid crystal drive control unit 2 can be lessened by outputting a pressure-up electrical potential difference from one terminal (VLOUT), the cost of the liquid crystal drive control unit 2 and the component-side product of the liquid crystal drive control unit 2 can be reduced. If the liquid crystal drive control unit 2 of this invention is used in the case of a portable telephone etc., it can be considered as a lightweight and small appearance. And modification of liquid crystal driver voltage becomes easy by outputting the pressure-up electrical potential difference to which the output scale factor was changed to one output pin, and supplying this output voltage to the power-source input terminal of LSI further.

[0039] In this example, corresponding to the booster circuit 11, the pressure-up scale-factor selection register 33 is formed, and it consists of that a microprocessor 3 sets a desired pressure-up scale factor as the pressure-up scale-factor selection register 33 in an instruction register 5 so that the pressure-up scale factor of the VLOUT output of a booster circuit 11 can be changed into arbitration from 1 time to 3 times, so that it may be illustrated.

[0040] Although not restricted especially, the above-mentioned pressure-up scale-factor selection register 33 is formed in the instruction register 5. An electrical potential difference (for example, 2.8V) lower than Vcc obtained by carrying out resistance division of the supply voltage Vcc (for example, 3V) is sufficient as the basic electrical potential difference Vci. The electrical potential difference lower than supply voltage Vcc is made into the basic electrical potential difference Vci of a booster circuit 11 because liquid crystal driver voltage is good about 8V also when driving by the highest duty when driving the liquid crystal display panel 1 of this example. Moreover, since power consumption increases so that a pressure-up electrical potential difference is high as mentioned above, it is for making it the electrical potential difference obtained in a pressure-up scale factor when [which is max] it doubles three not become high too much.

[0041] Drawing 12 shows the concrete example of circuitry of a booster circuit 11, and Table 1 shows the relation between the set point of the pressure-up scale-factor selection register 33, and the VLOUT output state of a booster circuit 11. Moreover, the principle of operation of each pressure-up electrical-potential-difference generating is shown in drawing 13.

[0042]

[Table 1]

昇圧倍率選択 レジスタ設定		昇圧回路 1 1 の出力レベル (VLOUT)
BT1	BT0	
0	0	昇圧動作停止。VLOUT は、GND レベルを出力する。
0	1	1 倍昇圧動作。VLOUT は、Vci レベルを出力する。
1	0	2 倍昇圧動作。VLOUT は、Vci の 2 倍の昇圧レベルを出力する。
1	1	3 倍昇圧動作。VLOUT は、Vci の 3 倍の昇圧レベルを出力する。

As shown in Table 1, the pressure-up scale-factor selection register 33 has control bits BT1 and BT0. [0043] If the above-mentioned control bits BT1 and BT0 are set to "00", actuation of a booster circuit 11 will be suspended and a VLOUT terminal will output the touch-down potential GND. If control bits BT1 and BT0 are set to "01", it will increase the pressure-up scale factor of a booster circuit 11 1 time, and a VLOUT terminal will output the basic electrical potential difference Vci. If control bits BT1 and BT0 are set to "10", it will double the pressure-up scale factor of a booster circuit 11, and a VLOUT terminal will output the electrical potential difference Vci twice the electrical potential difference of basic. If control bits BT1 and BT0 are set to "11", it will increase the pressure-up scale factor of a booster circuit 11 3 times, and a VLOUT terminal will output the electrical potential difference Vci 3 times the electrical potential difference of basic.

[0044] As shown in drawing 12 (A) - (D), the booster circuit 11 is constituted by the switch S0 connected between the external terminal T1, the capacitor C1 connected among T2, external terminal T3 and the capacitor C2 connected between T four, and the volt input terminal Tvc1, the pressure-up voltage-output terminal Tout, the above-mentioned external terminal T1, T four, S9. At the time of a 1 time pressure-up output, only a switch S0 is turned on like drawing 12 (B), and, as for this booster circuit 11, input voltage Vci is outputted from Terminal Tout as output voltage VLOUT as it is.

[0045] On the other hand, at the time of 2 double-pressure up or a 3 time pressure-up output, a switch S2, S4, S7, and S9 are first turned on like drawing 12 (A), and capacitors C1 and C2 are charged by Vci, respectively. Next, at the time of 2 double-pressure up, while two capacitors C1 and C2 are connected to parallel-connected-type voice like drawing 13 (A) like drawing 12 (C) by turning on switches S1, S3, S6, and S8. The electrical potential difference of $2 \times V_{ci}$ is outputted by the terminal with which touch-down potential was impressed at the time of charge being connected to a volt input terminal, and Vci being impressed. Moreover, at the time of a 3 time pressure up, while two capacitors C1 and C2 are connected to series-connected-type voice like drawing 13 (B) by turning on switches S1, S5, and S8 like drawing 12 (D), the electrical potential difference of $3 \times V_{ci}$ is outputted by the terminal with which touch-down potential was impressed at the time of charge being connected to a volt input terminal, and Vci being impressed.

[0046] As mentioned above, when an electrical potential difference low although liquid crystal is driven is sufficient, while being able to lower the operating voltage of the drive bias circuit 18 as a liquid crystal drive power circuit, or a power circuit 17 by lowering a pressure-up output to the need minimum by enabling it to set the pressure-up output scale factor of a booster circuit 11 as arbitration, the effectiveness of a booster circuit 11 can be raised. Consequently, the consumed electric current of equipment 2 can be stopped sharply.

[0047] Next, the concrete setting approach of the pressure-up scale factor of the above-mentioned booster circuit 11 is explained. For example, if liquid crystal driver voltage in the case of performing four line displays by 1 / 32 duty drives is set to 8V, when a system power electrical potential difference is 3V, a booster circuit 11 needs to perform a 3 times as many pressure up as this. Therefore, the data for directing one 3 times the pressure-up scale factor of this are set as the pressure-up scale-factor selection register 33 from a microprocessor 3. On the other hand, if it displays at the time of standby of a system, for example, one line, it comes out enough, and in a certain case, with 1 / 32 duty drives, 3 times, liquid crystal driver voltage is also still 8V in a pressure up, and the consumed electric current of equipment 2 cannot reduce it. Then, the data which direct 1 / 8 duty drives are set as the drive duty

selection register 34 by the microprocessor 3, and a duty ratio is changed. Furthermore, the data which direct a twice as many pressure-up scale factor as this are set to a register 33 by the microprocessor 3, and liquid crystal driver voltage is set as about 5V. By this, even if it makes a booster circuit 11 change into 2 double pressure up with the pressure-up scale-factor selection register 33, sufficient liquid crystal driver voltage will be obtained, and it becomes possible to reduce to 3 the consumed electric current seen from the system power 40 of 3V by about 2/.

[0048] Moreover, when liquid crystal drive duty is changed, in order to acquire good contrast, it is desirable to optimize a drive bias ratio. Generally, when drive duty is set to 1-/N, the optimal drive bias ratio B for acquiring the best contrast is $B=1/(\text{root}N+1)$.

It becomes. For example, the optimal drive bias in 1/8 duty, 1/16 duty, and 1/32 duty turns into 1/4 bias, 1/5 bias, and 1/6.7 bias, respectively.

[0049] The example of the liquid crystal drive bias circuit 18 is shown in drawing 14 (A), and Table 2 shows the relation between the established state of the liquid crystal bias selection register 32 in each bias mode, and the switches SW1-SW9 in the liquid crystal drive bias circuit 18, and ON/OFF state of S1-S3. Although not restricted especially, the liquid crystal bias selection register 32 is formed in the instruction register 5. In addition, in Table 2, "-" expresses the OFF state. The liquid crystal display control device 2 of this example can change the drive bias ratio in the liquid crystal drive bias circuit 18 into arbitration because a microprocessor 3 sets drive bias as the liquid crystal bias selection register 32 in an instruction register 5.

[0050]

[Table 2]

駆動バイアス 選択レジスタ	BS2	0	0	0	0	1	1	1	1
	BS1	0	0	1	1	0	0	1	1
	BS0	0	1	0	1	0	1	0	1
液晶駆動バイアス		1/6.5	1/6	1/5.5	1/5	1/4.5	1/4	1/3	1/2
スイッチ切 り替え	SW1	ON	ON	ON	ON	-	-	-	-
	SW2	-	-	ON	ON	-	-	-	-
	SW3	-	-	-	-	-	ON	-	-
	SW4	ON	ON	ON	ON	ON	ON	ON	-
	SW5	-	-	-	-	-	-	ON	-
	SW6	-	-	-	-	-	-	ON	-
	SW7	-	-	-	-	-	-	-	ON
	SW8	-	-	-	-	-	-	-	ON
	SW9	-	-	-	-	-	-	-	ON
	S1	ON	-	ON	ON	ON	-	-	-
	S2	-	ON	-	ON	-	-	-	-
	S3	-	-	-	-	ON	-	-	-

As shown in Table 2, the drive bias selection register 32 contains control bits BS2, BS1, and BS0.

[0051] If control bits BS2, BS1, and BS0 are set as "000", liquid crystal drive bias is made into 1/6.5 bias, and switches SW1, SW4, and S1 will be made into an ON state, and let it be the equal circuit shown in drawing 15 (B). If control bits BS2, BS1, and BS0 are set as "001", liquid crystal drive bias is made into 1/6 bias, and switches SW1, SW4, and S2 will be made into an ON state, and let it be the equal circuit shown in drawing 15 (C). If control bits BS2, BS1, and BS0 are set as "010", liquid crystal drive bias is made into 1/5.5 bias, and switches SW1, SW2, SW4, and S1 will be made into an ON state, and let it be the equal circuit shown in drawing 15 (D).

[0052] Moreover, if control bits BS2, BS1, and BS0 are set as "011", liquid crystal drive bias is made into 1/5 bias, and switches SW1, SW2, SW4, and S2 will be made into an ON state, and let it be the equal circuit shown in drawing 15 (E). If control bits BS2, BS1, and BS0 are set as "100", liquid crystal drive bias is made into 1/4.5 bias, and switches SW4, S1, and S3 will be made into an ON state, and let it be the equal circuit shown in drawing 15 (F). If control bits BS2, BS1, and BS0 are set as "101", liquid crystal drive bias is made into 1/4 bias, and switches SW3 and SW4 will be made into an ON state, and let it be the equal circuit shown in drawing 15 (G). If control bits BS2, BS1, and BS0 are set as "110", liquid crystal drive bias is made into 1/3 bias, and switches SW4, SW5, and SW6 will be made into an ON state, and let it be the equal circuit shown in drawing 15 (H). If control bits BS2, BS1, and BS0 are set

as "111", liquid crystal drive bias is made into 1/2 bias, and switches SW7, SW8, and SW9 will be made into an ON state, and let it be the equal circuit shown in drawing 15 (H). In addition, R shows criteria resistance.

[0053] For the 1st electrical potential difference V1 and the touch-down potential GND, in drawing 14 (A), the selection level of a segment electrode (SEG 1-80) and a common electrode (COM 1-32), the 2nd electrical potential difference V2, and the 5th electrical potential difference V5 are [the non-choosing level, the 3rd electrical potential difference V3, and the 4th electrical potential difference V4 of a common electrode (COM 1-32)] the non-choosing level of a segment electrode (SEG 1-80). As mentioned above, there is 2 sets of non-choosing level for preventing degradation of liquid crystal by impressing V2, V3, or V5 and V4 to the common electrode (COM 1-32) and segment electrode (SEG 1-80) corresponding to a dot of an astigmatism LGT (white) by turns for every frame, and carrying out an alternating current drive (AC bias) to them. Drawing 16 (A) and (B) are used behind, and an alternating current drive is explained.

[0054] In addition, in drawing 14 (A), VR is the variable resistance for contrast adjustment. The contrast adjustment register 39 which sets up the amount of resistance adjustments of this variable resistance VR is formed in the instruction register 5 so that it may be illustrated. With the register value, the resistance of variable resistance VR is changed and the contrast of a liquid crystal display panel is adjusted.

[0055] Table 3 shows the set point of control-bit CT4-CT0 and the value of variable resistance VR, which consisted of 5 bits of the contrast adjustment register 39. In addition, R shows criteria resistance. if control-bit CT4-CT0 changes to "11111" sequentially from "00000" as shown in drawing 16 the value of variable resistance VR -- 3.2 -- the constant falls in 0.1 units from xR to 0.1xR(s). Thus, it adjusts finely, the potential difference, i.e., the liquid crystal driver voltage, between V1-GND, and contrast is adjusted.

[0056]

[Table 3]

CT 設定値						可変抵抗値 (VR)
CT4	CT3	CT2	CT1	CT0		
0	0	0	0	0		3.2xR
0	0	0	0	1		3.1xR
0	0	0	1	0		3.0xR
0	0	0	1	1		2.9xR
0	0	1	0	0		2.8xR
0	0	1	0	1		2.7xR
0	0	1	1	0		2.6xR
0	0	1	1	1		2.5xR
0	1	0	0	0		2.4xR
0	1	0	0	1		2.3xR
0	1	0	1	0		2.2xR
0	1	0	1	1		2.1xR
0	1	1	0	0		2.0xR
0	1	1	0	1		1.9xR
0	1	1	1	0		1.8xR
0	1	1	1	1		1.7xR
1	0	0	0	0		1.6xR
1	0	0	0	1		1.5xR
1	0	0	1	0		1.4xR
1	0	0	1	1		1.3xR
1	0	1	0	0		1.2xR
1	0	1	0	1		1.1xR
1	0	1	1	0		1.0xR
1	0	1	1	1		0.9xR
1	1	0	0	0		0.8xR
1	1	0	0	1		0.7xR
1	1	0	1	0		0.6xR
1	1	0	1	1		0.5xR
1	1	1	0	0		0.4xR
1	1	1	0	1		0.3xR
1	1	1	1	0		0.2xR
1	1	1	1	1		0.1xR

Next, an alternating current drive is explained using drawing 16 (A) and (B). First, drawing 16 (B) is explained. Drawing 16 (B) is the expansion top view showing typically some dot-matrix mold liquid crystal panels 1. Transparent electrode ESEG1-ESEG3 for segments arranged in the direction (the direction of a train) which intersects perpendicularly with transparent electrode ECOM1-ECOM3 for common by which common signal COM1-COM3 has been arranged at the line writing direction impressed, respectively, and above-mentioned transparent electrode ECOM1-ECOM3 is drawn on this drawing. Segment signal SEG1-SEG3 is supplied to transparent electrode ESEG1-ESEG3 for segments. The liquid crystal layer (mentioned later) is prepared between transparent electrode ESEG1-ESEG3 for segments, and transparent electrode ECOM1-ECOM3 for common, and those intersection parts support

1 dot of a dot matrix. drawing 5 (a)–(c) thru/or drawing 8 (a) – in (c), each is made into 1 dot at a square frame (astigmatism LGT) and a black square (lighting). In drawing 16 (B), the dot of the intersection of a transparent electrode ECOM1 and a transparent electrode ESEG1 and the dot of the intersection of a transparent electrode ECOM2 and a transparent electrode ESEG2 are considered as lighting (ON), and others show the condition of considering as the astigmatism LGT (OFF).

[0057] Drawing 16 (A) shows the common signal COM 2 of the dot of the intersection of the transparent electrode ECOM2 of (B), and a transparent electrode ESEG2, i.e., the dot which is carrying out lighting (ON), the segment signal SEG2, and the pixel signal D by the 1st frame (frame I) and the 2nd frame (frame II).

[0058] In the 1st frame (frame I), selection level of the common signal COM 2 is set to V1, and non-choosing level is set to V5. On the other hand, in the 1st frame (frame I), selection level of the segment signal SEG2 is set to GND, and non-choosing level is set to V4. That a dot lights up is the case where the electrical potential difference which lengthened the potential of a segment signal from the potential of a common signal is over the threshold of liquid crystal. The potential difference is made into the pixel signal D. Therefore, the dot of the intersection of a transparent electrode ECOM2 and a transparent electrode ESEG2 will light up.

[0059] In the 2nd frame (frame II), selection level of the common signal COM 2 is set to GND, and non-choosing level is set to V2. On the other hand, in the 1st frame (frame I), selection level of the segment signal SEG2 is set to V1, and non-choosing level is set to V3. Therefore, the dot of the intersection of a transparent electrode ECOM2 and a transparent electrode ESEG2 will light up. Thus, the polarity of selection level and non-choosing level is made reversed by the 1st frame (frame I) and the 2nd frame (frame II). Such a drive approach is called an alternating current drive (AC bias), and degradation of liquid crystal is prevented effectively.

[0060] Drawing 17 (A) – (D) shows the example of mounting in the case of carrying the liquid crystal display control unit 2 of the above-mentioned example in a portable telephone with a liquid crystal display panel. Among these, drawing 17 (A) joins the board 50 which carried the liquid crystal display control-device chip 2 and the external capacitor C of the above-mentioned example constituted as a semiconductor integrated circuit, and Resistance R in the rear face of the glass substrate which constitutes the liquid crystal display panel 1, and connects the key matrix substrate 52 which constitutes a control panel through the wiring 51 called heat sealing to this board 50. In addition, 53 is a MPU board carrying the microprocessor chip 3, and although the MPU board 53 and especially the key matrix substrate 52 are not restricted, they are connected by the serial communication line 54.

[0061] Moreover, drawing 17 (B) carries the liquid crystal display control-device chip 2 and the external capacitor C, and Resistance R on the key matrix substrate 52 which constitutes the control panel of a portable telephone, and connects the liquid crystal display panel 1 to the key matrix substrate 52 through heat sealing 51.

[0062] Drawing 17 (C) carries the external capacitor C and Resistance R on the key matrix substrate 52 which constitutes a control panel, and connects between the key matrix substrate 52 and the liquid crystal display panels 1 by TCP (Tape Carrier Package) 51' which carried the liquid crystal display control-device chip 2.

[0063] Drawing 17 (D) carries the external capacitor C and Resistance R on the key matrix substrate 52 which constitutes a control panel, and the liquid crystal display control-device chip 2 is mounted on the glass substrate which constitutes the liquid crystal display panel 1, and connects the liquid crystal display panel 1 and the key matrix substrate 52 with heat sealing 51.

[0064] The example of terminal arrangement of the liquid crystal display control unit 2 and the example of connection of the liquid crystal display panel 1 and the liquid crystal display control unit 2 are shown in drawing 18. As shown in drawing 18, the terminal which outputs the common signals COM1–COM32 divides the liquid crystal display control device 2 of this example into right and left (side of the shorter one) of a chip by one half, it is arranged, and the terminal which outputs a segment signal to one side of

the longer one is arranged. Moreover, the power supply terminal, the external terminal, and the input/output terminal that exchanges a signal between microprocessors are prepared in another side of the side of the longer one. While taking such a terminal array, as mentioned above, where a chip is over turned further in any location of the upper and lower sides of the liquid crystal display control-device chip 2 of the liquid crystal display panel 1, even if it arranges by constituting the segment shift register 12 and the common shift register 15 with the bidirectional shift register, it can connect mutually, without making a common signal line and a segment signal line cross.

[0065] Drawing 19 shows the block diagram of the outline configuration of the pocket mold telephone system by which the liquid crystal display control device 2 of this invention is used.

[0066] The system shown in this drawing a pocket mold telephone system Compression expanding of voice data The ADPC codec circuit 201 to perform, a loudspeaker 202, a microphone 203, a liquid crystal panel 1, a keyboard 205, the TDMA circuit 206 that carries out time-division-multiplexing of the digital data, EEPROM209 which stores the registered ID number, and a program Memory, such as ROM208 to store and SRAM207 used as the activity area of the temporary storage of data, or a microcomputer, It consists of system control microcomputers 212 which control the RF circuit 211 for transmitting and receiving the PLL circuit 210 and radio signal which set up the carrier frequency of a radio signal, and them.

[0067] Drawing 20 is drawing for explaining the pocket mold telephone for which the liquid crystal display control unit 2 of this invention is used. The liquid crystal display control unit 2 of this invention is a gestalt as shown in drawing 17 (D), and it unites with a liquid crystal panel 1, and it is mounted in a portable telephone 91 with the key matrix substrate 52.

[0068] The decomposition perspective view in which drawing 21 shows the outline configuration of an example of the liquid crystal display panel 1 of drawing 1, and drawing 22 are the important section sectional views showing the outline configuration of an example of the liquid crystal display panel 1 of drawing 1.

[0069] The liquid crystal display panel 1 shown in drawing 21 and drawing 22 is a liquid crystal display panel which used for example, STN (Super Twisted Nematic) liquid crystal. The liquid crystal display panel 1 has the liquid crystal layer 110 by which the impregnation closure was carried out between the pasted-up glass substrate 101, 102, and a glass substrate 101, 102 and a sealant 113 through a sealant 113. Liquid crystal is poured in from opening 130.

[0070] It is based on the liquid crystal layer 110 as shown in drawing 21 and drawing 22. Two or more segment electrodes (ESEG) 111 which consist of band-like transparence electric conduction film (Indium-Thin-Oxide:ITO) are formed in a glass substrate 101 side, and two or more common electrodes (ECOM) 112 which consist of band-like transparence electric conduction film (ITO) are formed in a glass substrate 102 side. Inside a glass substrate 101 (liquid crystal layer side), the laminating of two or more segment electrodes 111 and the orientation film 113 is carried out one by one, and the laminating of two or more common electrodes 112 and the orientation film 114 is carried out one by one inside a glass substrate 102 (liquid crystal layer side). Moreover, a polarizing plate 115 and the phase contrast plate 117 are formed in the outside of a glass substrate 101, A polarizing plate 116 is joined by the outside of a glass substrate 102. It intersects perpendicularly mutually and, as for the segment electrode 111 and the common electrode 112, the intersection of the segment electrode 111 and the common electrode 112 constitutes a pixel field (dot). In addition, it is also possible to arrange the spacer which makes regularity gap length of the liquid crystal layer 110 in the liquid crystal layer 110.

[0071] Drawing 23 shows the liquid crystal display system 150 which are other examples of this invention. The points of the following [system / 100 / which is shown in drawing 1 / the liquid crystal display system 150 shown in this drawing and / liquid crystal display] differ. Since it is equivalent to said example, especially the part that is not explained below is not explained anew.

[0072] The liquid crystal display control unit 2 of this example is suitable for driving the liquid crystal panel 140 which can display both dot-matrix displays of the segment display of a mark icon, a pattern, a

figure, etc. as shown in drawing 25 R> 5, an alphabetic character, a figure, etc., etc. Therefore, the liquid crystal display control unit 2 contains the segment memory 151. The segment memory 151 memorizes the segment indicative data supplied from a microprocessor 3 through a system interface 4. For example, segment memory is made into the storage capacity of 24 bytes, and a maximum of 144 segment displays of it are enabled. It is combined with the average direct conversion circuit 9, and with the output of the character JIENERESHON memory 8, parallel serial conversion of the output of the segment memory 151 is carried out, and it is supplied to the segment shift register 12.

[0073] On the other hand, the common driver 16 is also changed to the liquid crystal display control unit 2 shown in drawing 1. The common driver 16 of this example can display perpendicularly the character font pattern which consists of 5x8 dots by three lines, and the segment display of two lines is possible for it to coincidence. Therefore, the common driver 16 has a total of 24 output circuits for a dot-matrix display, and two output circuits for a segment display. That is, as shown in drawing 23, this common driver 16 has the common driving signal for a dot-matrix display of the liquid crystal display panel 1 (COM1-COM24), and a common driving signal for a segment display (COMS1, COMS2).

[0074] the case where a liquid crystal panel 140 is displayed completely -- COMS1 and COM1-COM24 and COMS2 are made into a sequential selection voltage level at time sharing. In this case, the 1st line, and COM9-COM16 become the 2nd line, and COM17-COM24 become [COM1-COM8] the 3rd line. One segment common driving signal (COMS1, COMS2) shall be at a time in liquid crystal panel 140 a top thru/or the bottom, respectively. However, there are some which have only one in a top or the bottom, depending on a liquid crystal panel. In this case, one of two segment common driving signals COMS1 and COMS2 will be used.

[0075] Drawing 24 and Table 4 show the common shift register 15 in the liquid crystal display control device 2 of drawing 23, and the drive duty selection register 34. As for the drive duty selection register 34, an internal control bit is changed into triplet NL2-NL0.

[0076]

[Table 4]

NL2	NL1	NL0	表示行数	液晶駆動デューティ	使用するコモンドライバ
0	0	0	セグメントのみ表示	1/2 Duty	COMS1, COMS2
0	0	1	キャラクタ1行+セグメント表示	1/10 Duty	COM1-8, COMS1, COMS2
0	1	0	キャラクタ2行+セグメント表示	1/18 Duty	COM1-16, COMS1, COMS2
0	1	1	キャラクタ3行+セグメント表示	1/26 Duty	COM1-24, COMS1, COMS2
1	*	*	設定禁止		

If the value of NL2-NL0 is set to "000" as shown in Table 4, it will consider as the display of only segments (a picture, mark icon, etc.), and let common dry cleaning used be only the driver which outputs a segment common driving signal (COMS1, COMS2). In this case, drive duty is set to one half. If the value of NL2-NL0 is set to "001", it will consider as a segment display and the character display of the dot-matrix mold of the 1st line, and let common dry cleanings used be the driver which outputs a segment common driving signal (COMS1, COMS2), and the driver which outputs the common driving signal for a dot-matrix display (COM1-COM8). In this case, drive duty is made into 1/10.

[0077] If the value of NL2-NL0 is set to "010", it will consider as the character display of the dot-matrix mold of a segment display, the 1st line, and the 2nd line, and let common dry cleanings used be the driver which outputs a segment common driving signal (COMS1, COMS2), and the driver which outputs the common driving signal for a dot-matrix display (COM1-COM16). In this case, drive duty is made into 1/18. If the value of NL2-NL0 is set to "011", it will consider as the character display of a dot-matrix mold to a segment display and - of 1st line the 3rd line, and let common dry cleanings used be the driver which outputs a segment common driving signal (COMS1, COMS2), and the driver which outputs the common driving signal for a dot-matrix display (COM1-COM24). In this case, drive duty is made into 1/26. In addition, a setup is forbidden to values other than the above to bit NL2-NL0.

[0078] It is made for the changed part of the common shift register 15 of drawing 24 to be the following.

[0079] It is the point that a flip-flop 25 thru/or 26 are carried out to segment common driving signal (COMS1, COMS2) generating. It is made to be the following when the control bit CEN of the centering display assignment register 31 is set to "0." When drive duty is set to one half, shift register selection information "1" is shifted only to a flip-flop 25 thru/or 26, and the driver selection signal CSSF1 thru/or 2 are made to output to it. When drive duty is made into 1/10, shift register selection information "1" is shifted to a flip-flop 1-9, and 25 and 26, and the driver selection signals [CSSF / CSF and / 1] 1-9 thru/or 2 are made to output to them. When drive duty is made into 1/18, shift register selection information "1" is shifted to a flip-flop 1-16, and 25 and 26, and the driver selection signals [CSSF / CSF and / 1] 1-16 thru/or 2 are made to output to them. When drive duty is made into 1/26, shift register selection information "1" is shifted to a flip-flop 1-24, and 25 and 26, and the driver selection signals [CSSF / CSF and / 1-2] 1-24 are made to output to them.

[0080] When the control bit CEN of the centering display assignment register 31 sets to "1" by the microprocessor 3, it sets bit NL2-NL0 of the drive duty selection register 34 as "001", and a microprocessor 3 sets the bit BS 2-0 of the drive bias selection register 32 to "101."

[0081] The display condition of the liquid crystal panel 1 at the time of changing into the duty drives 1/10 from 1 / 26 duty drives is shown in drawing 25 . In the case of a cellular phone 91 like drawing 20 .

of the liquid crystal display system 150 of this invention, the effectiveness of this invention of ~~the~~ actualizes.

[0082] As for drawing 26 , an example of a liquid crystal panel 140 is shown. In this liquid crystal panel 140, the transparent electrode ECOMS1 with which the common signal COMS1 for a segment display is supplied is arranged in the panel 1 upper part. Segments (it is also called a pictogram), such as each mark, alphabetic character, graphic form, etc., are turned on from the left with the selection level of the transparent electrode (ESEG) with which the segment signals SEG2, SEG7, SEG23, SEG28, and SEG42 are supplied, and the selection level of a transparent electrode ECOMS1. As a segment is shown in instantiation all over drawing, respectively, it has one pair of transparent electrode of the graphic form isomorphism which should be displayed, as for one transparent electrode, the transparent electrode ECOMS1 with which the common signal COMS1 for a segment display is supplied is combined, and, as for the transparent electrode of another side, the transparent electrode ESEG2 with which the segment signal SEG2 is supplied is combined.

[0083] As explained above, the above-mentioned example prepares a drive duty selection register and a drive bias selection register rewritable from a microprocessor in a liquid crystal display control device. When changing from the complete display of a liquid crystal display panel to the display of only some lines, by changing the set point of the above-mentioned drive duty selection register and a drive bias selection register Since it was made to display by the low battery and low duty drive alternatively on some liquid crystal display panels Since some liquid crystal display panels can be alternatively driven by low duty from a microprocessor, the clock frequency and liquid crystal driver voltage of an internal shift register can be lowered, and the total consumed electric current of the whole liquid crystal display control unit can be stopped. Moreover, with modification of drive duty, the optimal drive bias can also be changed and it is effective in the ability to prevent the fall of contrast.

[0084] Furthermore, since the pressure-up scale-factor selection register which can set up the pressure-up output scale factor in a booster circuit was prepared, it is low and a setup of the pressure-up output scale factor of a booster circuit was enabled with the reduction in duty, pressure-up output voltage can be lowered to the need minimum, and thereby, while being able to lower the operating voltage of a liquid crystal drive power circuit, the effectiveness of a booster circuit can be raised, and it is effective in the ability to stop the consumed electric current of semiconductor integrated circuit equipment 2.

[0085] Moreover, since the centering display assignment register was prepared in the liquid crystal display control device, there is effectiveness at the time of standby that a line display can be specified

as the most legible location, for example, a liquid crystal display panel central part, in part.

[0086] Although invention made by this invention person above was concretely explained based on the example, it cannot be overemphasized that it can change variously in the range which this invention is not limited to the above-mentioned example, and does not deviate from the summary. For example, although the above-mentioned example explains the liquid crystal display control unit of the method which it drives one line at a time by time sharing one by one, it is also possible to apply two or more lines to the liquid crystal display control unit of the drive method which makes sequential selection at coincidence. Moreover, although the above-mentioned example explained the case at the time of standby where the display position of a line was set up in the center of a screen in part, it is also possible to prepare the register for setting up the display position at the time of standby, and to constitute so that it can display on the location of arbitration.

[0087] Furthermore, although the above-mentioned example explained the case where the display of a liquid crystal display panel consisted of dot matrices in which a four-character line display is possible, it is applicable also to the liquid crystal display control unit which drives three character rows or the liquid crystal display panel in which a five or more character row display is possible, by changing the number of a common driver. moreover, what is necessary be just to constitute the common driver of a liquid crystal display control device in a portable telephone etc., so that a common signal can be output to one or a little more than two meter corresponding to a pit gram. although the pit gram as which an antenna mark, the mark which show receiving level be display may be prepare in the screen upper part or the lower part and these generally consist of electrodes of the configuration corresponding to a mark. In this case, only the common signal corresponding to a pictogram is driven alternatively, and the low duty drive of 1/4 duty (static) drive, or 1/2 duty is still also attained by always carrying out the non-driving of the character representation part.

[0088] Moreover, although the above explanation applied and described mainly to the liquid crystal display control unit which is the field of the invention of this invention, this invention is not limited to this and is applicable to drive control of various displays, such as a fluorescent indicator tube display and a plasma display display.

[0089] [Effect of the Invention] It will be as follows if the effectiveness acquired by the typical things among the invention indicated in this application is explained briefly.

[0090] That is, in the liquid crystal display control unit which controls two or more display lines, when it is not necessary to make all the display lines display at the time of standby of a system etc., the consumed electric current can be reduced. Moreover, since a microprocessor can control all of these control by software, according to the operating state of a system, a liquid crystal drive can be performed by the consumed electric current of the need minimum.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 is the block diagram of the liquid crystal display system concerning one example of this invention.

[Drawing 2] Drawing 2 is a common driver output wave at the time of $1/32$ duty drives (four line displays).

[Drawing 3] Drawing 3 is a common driver output wave at COM1 to the time of $1/16$ duty drives (two line displays).

[Drawing 4] Drawing 4 is a common driver output wave at COM1 to the time of $1/8$ duty drives (one line display).

[Drawing 5] Drawing 5 (a), (b), and (c) are the examples of a display on $1/32$ from COM1, and the liquid crystal display panel when carrying out $1/8$ duty drives $1/16$.

[Drawing 6] Drawing 6 is a common driver output wave at COM9 to the time of $1/16$ duty drives (two line displays).

[Drawing 7] Drawing 7 is a common driver output wave at COM9 to the time of $1/8$ duty drives (one line display).

[Drawing 8] Drawing 8 (a), (b), and (c) are the examples of a display on $1/32$ from COM9, and the liquid crystal display panel when carrying out $1/8$ duty drives $1/16$.

[Drawing 9] Drawing 9 is the detailed circuit diagram of the common shift register for displaying on a display-panel center section.

[Drawing 10] Drawing 10 is the output wave timing of the common shift register for displaying on a display-panel center section.

[Drawing 11] Drawing 11 is the booster circuit 11 for liquid crystal driver voltage generating, and the circuitry Fig. of a liquid crystal drive system.

[Drawing 12] Drawing 12 (A), (B), (C), and (D) are the circuit diagrams showing the example of the booster circuit 11 for liquid crystal driver voltage generating.

[Drawing 13] Drawing 13 (A) and (B) are the pressure-up principles of operation from 1 time of the booster circuit 11 for liquid crystal driver voltage generating to 3 times.

[Drawing 14] Drawing 14 (A) is the concrete circuitry Fig. of the liquid crystal drive bias setting circuit.

[Drawing 15] Drawing 15 (B), (C), (D), (E), (F), (G), (H), and (I) show the equal circuit of each bias.

[Drawing 16] The wave form chart showing the signal wave form [in / in drawing 16 (A) / an alternating current drive method] of the common signal and segment signal of Frame I and Frame II and drawing 16 (B) are the expansion top views showing typically some dot-matrix mold liquid crystal panels 1.

[Drawing 17] Drawing 17 (A), (B), (C), and (D) are the outline block diagrams showing the example of mounting in the case of carrying the liquid crystal display control unit of an example in a portable telephone with a liquid crystal display panel.

[Drawing 18] Drawing 18 (A) and (B) are the outline block diagrams showing the example of terminal arrangement of the liquid crystal display control unit of an example, and the example of connection of a liquid crystal display panel and a liquid crystal display control unit.

[Drawing 19] Drawing 19 shows the rough block diagram of the cellular-phone system by which the liquid crystal display system 100 of this invention is applied.

[Drawing 20] Drawing 20 shows the cellular phone 91 with which the liquid crystal display system 100 of this invention is applied.

[Drawing 21] Drawing 21 is the perspective view showing the structure of a liquid crystal panel 1.

[Drawing 22] Drawing 22 is the sectional view showing the structure of a liquid crystal panel 1.

[Drawing 23] Drawing 23 shows the block diagram of the liquid crystal display system 150 about other

examples of this invention.

[Drawing 24] Drawing 24 is the detailed circuit diagram of the common shift register in the example of drawing 23 .

[Drawing 25] Drawing 25 shows the example of a display of the liquid crystal panel 140 at the time of shifting to a central display condition in the example of drawing 23 .

[Drawing 26] Drawing 26 shows the example of a configuration of the liquid crystal panel 140 in the example of drawing 23 .

[Description of Notations]

1 Microprocessor (MPU: Microprocessor Unit)

2 Liquid Crystal Display Control Unit

3 Liquid Crystal Display Panel

4 SI

5 Instruction Register

6 Address Counter

7 Display Memory (Indicative-Data RAM)

8 Character Generator Memory (CGROM)

9 Average Direct Conversion Circuit

10 Timing Generating Circuit

11 Booster Circuit

12 Segment Shift Register

13 Latch Circuit

14 Segment Driver

15 Common Shift Register

16 Common Driver

17 Liquid Crystal Drive Power Circuit

18 Liquid Crystal Drive Bias Circuit

31 Centering Display Assignment Register

32 Drive Bias Selection Register

33 Pressure-Up Scale-Factor Selection Register

34 Drive Duty Selection Register

40 System Power

DB0-DB7 Data bus signal

E A lead / write enable signal

R/W read/write selection signal

RS Register-select signal

COM1-COM32 Common driving signal terminal

SEG1-SEG80 Segment driving signal terminal

CSF1-CSF32 Shift output signal of a common shift register

Vcc Supply voltage

GND Gland (touch-down)

Vci Pressure-up basic electrical potential difference to a booster circuit

VLOUT Pressure-up voltage-output terminal

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-311980

(43)公開日 平成11年(1999)11月9日

(51)Int.Cl.⁶

識別記号

F I

G 0 9 G 3/36

G 0 9 G 3/36

G 0 2 F 1/133

5 2 0

G 0 2 F 1/133

5 2 0

5 4 5

5 4 5

審査請求 未請求 請求項の数17 O L (全 33 頁)

(21)出願番号 特願平10-118879

(22)出願日 平成10年(1998)4月28日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72)発明者 横田 善和

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(72)発明者 谷 邦彦

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(74)代理人 弁理士 大日方 富雄

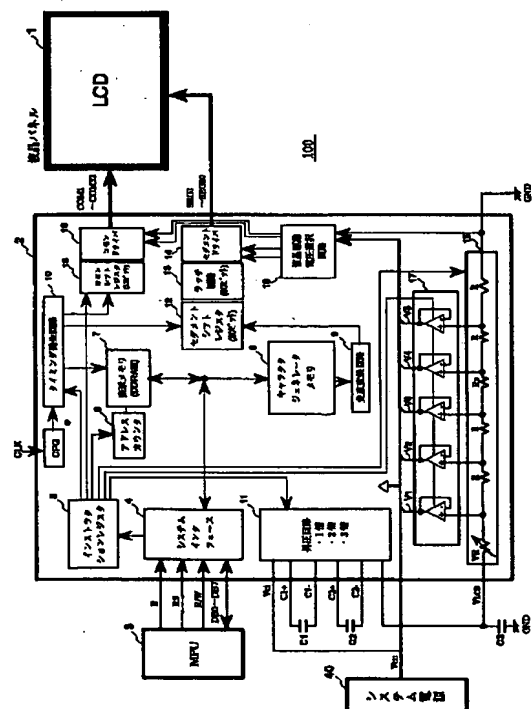
最終頁に続く

(54)【発明の名称】 液晶表示制御装置および液晶表示装置

(57)【要約】

【課題】 従来の携帯電話等の液晶表示制御装置では、待ち受け時に表示は減らすものの液晶駆動デューティを変更していなかったつまり表示しない行のコモン電極についても走査を行っていたため、待ち受け時の消費電力を十分に減らすことができないという課題があった。

【解決手段】 液晶表示制御装置(2)内にマイクロプロセッサ(1)から書き替え可能な駆動デューティ選択レジスタ(34)と駆動バイアス選択レジスタ(32)とを設け、液晶表示パネル(3)の全面表示から一部の行のみの表示に切り替える場合、上記の駆動デューティ選択レジスタと駆動バイアス選択レジスタの設定値を変更することで、液晶表示パネルの一部に選択的に低電圧、低デューティ駆動で表示を行なうようにした。



(2)

【特許請求の範囲】

【請求項1】 表示すべきキャラクタパターンに対応するコードデータを記憶する表示メモリと、複数のキャラクタパターンを格納するキャラクタジェネレータメモリと、読み出されたパターンデータに応じて画素の点灯・非点灯を制御するセグメント信号を形成し出力するセグメントドライバと、時分割にライン選択駆動するコモン信号を形成し出力するコモンドライバと、該コモンドライバによる時分割駆動における駆動デューティを変更可能なタイミング発生回路と、液晶駆動バイアス比を変更可能な駆動バイアス回路と、システムの動作電源電圧よりも高い液晶駆動電圧を発生させる昇圧回路とを有し、複数のコモン電極とセグメント電極を備えドットマトリクス状に配置された画素を有する液晶表示パネルを上記セグメントドライバおよびコモンドライバの出力信号によって駆動してキャラクタパターン表示を行う液晶表示制御装置であって、

上記タイミング発生回路による駆動デューティを設定可能な駆動デューティ設定手段と上記駆動バイアス回路における駆動バイアス比を設定可能な駆動バイアス設定手段とを設け、上記駆動デューティ設定手段と駆動バイアス設定手段の設定値を変更することで、上記液晶表示パネルの一部の行に選択的に低デューティかつ低電圧駆動で表示可能に構成したことを特徴とする液晶表示制御装置。

【請求項2】 上記昇圧回路における昇圧出力倍率を任意に変更できる昇圧倍率設定手段を備え、液晶の駆動デューティに応じて昇圧回路の出力倍率を変化させるようにしたことを特徴とする請求項1記載の液晶表示制御装置。

【請求項3】 上記コモンドライバは、表示を行わない表示画面部のラインに対しては、非選択レベルで液晶を交流駆動する信号を出力することを特徴とする請求項1または2記載の液晶表示制御装置。

【請求項4】 上記タイミング発生回路は、液晶表示制御装置が有するコモンドライバの出力信号総数以下の低デューティ駆動において、ライン毎に選択レベルを出力するコモンドライバの出力位置を表示画面中央部に設定して表示させるタイミング信号を形成して出力することを特徴とする請求項1、2または3記載の液晶表示制御装置。

【請求項5】 上記各設定手段の情報は、外部から書替え可能に構成されていることを特徴とする請求項1、2、3または4記載の液晶表示制御装置。

【請求項6】 請求項1、2、3、4または5記載の液晶表示制御装置と、該液晶表示制御装置と接続されて上記表示メモリに対する表示データの書き込みおよび上記設定手段に対する情報の設定を行なうマイクロプロセッシング・ユニットと、上記液晶表示制御装置によって駆動される液晶表示パネルとを備えてなることを特徴とす

2

る液晶表示装置。

【請求項7】 表示すべきパターンに対応するコードデータを記憶する表示メモリと、

複数のパターンを格納するキャラクタジェネレータメモリと、

読み出されたパターンデータに応じて画素の点灯・非点灯を制御するセグメント信号を形成し出力するセグメントドライバと、

時分割にライン選択駆動するコモン信号を形成し出力するコモンドライバと、該コモンドライバによる時分割駆動における駆動デューティを変更可能なタイミング発生回路と、

液晶駆動バイアス比を変更可能な駆動バイアス回路と、システムの動作電源電圧よりも高い液晶駆動電圧を発生させる事が可能な昇圧回路と、

複数のコモン電極とセグメント電極を備えドットマトリクス状に配置された画素を有する液晶表示パネルを上記セグメントドライバおよびコモンドライバの出力信号によって駆動してパターン表示を行う液晶表示制御装置であって、

上記タイミング発生回路による駆動デューティを設定可能な駆動デューティ設定手段と上記駆動バイアス回路における駆動バイアス比を設定可能な駆動バイアス設定手段とを設け、

上記駆動デューティ設定手段と駆動バイアス設定手段の設定値を変更することで、上記液晶表示パネルの中央部分の行に選択的に低デューティかつ低電圧駆動でキャラクタパターンを表示可能に構成したことを特徴とする液晶表示制御装置。

【請求項8】 複数行を表示可能なドットマトリクス型液晶表示パネルを駆動する液晶表示制御回路であって、

駆動デューティを設定するための第1レジスタと、

駆動バイアスを設定するための第2レジスタと、

上記液晶表示パネルの中央部分の1乃至複数の行に選択的にドットパターンを表示するか否かを設定する第3レジスタとを含む液晶表示制御回路。

【請求項9】 さらに、昇圧倍率を変更可能な昇圧回路と、上記昇圧回路の昇圧倍率を設定する第4のレジスタを含む請求項8記載の液晶表示制御回路。

【請求項10】 上記第3のレジスタの値を変更する場合、上記第1レジスタ及び第2レジスタの値を変更する請求項8記載の液晶表示制御回路。

【請求項11】 複数行を表示可能なドットマトリクス型液晶表示パネルを駆動する液晶表示制御回路であって、

駆動デューティを設定するための第1レジスタと、

駆動バイアスを設定するための第2レジスタと、

1つの電圧出力端子を有し、その昇圧倍率を変更可能な1つの昇圧回路と、

(3)

3

上記昇圧回路の昇圧倍率を設定する第3のレジスタを含む液晶表示制御回路。

【請求項12】 液晶表示パネルを駆動するために複数のコモン線駆動信号と複数のセグメント線駆動信号とを時分割に順次出力する液晶表示制御回路であって、出力するコモン線駆動信号の本数を設定するための第1設定回路と、

駆動バイアスを設定するための第2設定回路と、

上記液晶表示パネルの中央付近に選択的にパターンを表示するか否かを設定する第3設定回路とを含む液晶表示制御回路。

【請求項13】 上記第3設定手段に上記液晶表示パネルの中央付近に選択的にパターンを表示する事を指示する情報が設定された場合、上記第1設定回路によって出力されるコモン線駆動信号の出力数を少なくし、かつ、上記第2設定回路によって上記駆動バイアスを低下させるように設定することが可能とされる請求項12記載の液晶表示制御回路。

【請求項14】 上記液晶表示制御回路は、1フレーム期間毎に複数のコモン線駆動信号を時分割に順次出力するように制御するタイミング制御回路を有し、上記タイミング制御回路は、上記第1設定回路の設定が変更されても、上記1フレームの期間を一定に設定する機能を含む液晶表示制御回路。

【請求項15】 液晶表示パネルと、
上記液晶表示パネルにパターンを表示する液晶表示制御装置と、

上記表示制御回路の動作を制御するマイクロプロセッサとを含む液晶表示システムであって、
上記液晶表示システムが待機モードとされるとき、上記マイクロプロセッサは、上記液晶パネルの中央部分に選択的にパターンを表示させるように、上記液晶表示制御装置を制御する液晶表示システム。

【請求項16】 上記液晶表示システムは、電話システムである請求項15記載の液晶表示システム。

【請求項17】 上記液晶パネルは、トッドマトリックス表示部とセグメント表示部とを有し、
上記待機モードにされたとき、セグメント表示部分の一部とトッドマトリックス表示の中央部分の複数の画素が選択的に点灯される請求項16記載の液晶表示システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、表示制御技術さらには液晶駆動制御に適用して特に有効な技術に関し、例えば、ドットマトリクス型キャラクタ表示用液晶パネル又はドットマトリクス型キャラクタ表示と独立してセグメント型の絵・マーク・アイコン乃至文字（数字）等の表示機能を有する液晶パネルの表示制御回路に利用して有効な技術に関する。

4

【0002】

【従来の技術】 一般に、液晶表示装置は、液晶表示パネルと、該液晶表示パネルを駆動する為の半導体基板上に集積回路化された液晶表示制御装置と、表示データの書き込みや前記液晶表示制御装置の表示動作の制御を行なうマイクロ・プロセッシング・ユニット（CPU）を含むマイクロプロセッサ（MPU）又はマイクロコントローラ等から構成されている。

【0003】 ドットマトリクス方式の表示パターンを生成するためのキャラクタジェネレータを内蔵した液晶表示制御装置は、キャラクタコードを格納する表示データメモリ（以下、表示データ用ランダムアクセスメモリ：表示データRAMとも言う）と、文字フォントなどのキャラクタパターンを格納するキャラクタジェネレータメモリ（キャラクタジェネレータ用リードオンリメモリ：キャラクタジェネレータROMとも言う）と、上記表示データRAMから表示データを液晶表示パネルの駆動位置に合わせて読み出すアドレスカウンタと、液晶表示パネルのコモン電極及びセグメント電極に対するそれぞれの駆動信号を形成して液晶の駆動を行なう液晶駆動回路と、表示タイミングを与えるクロック信号を形成するタイミング発生回路等から構成されている。

【0004】 マイクロプロセッサは、液晶表示パネル上に表示したいキャラクタに対応するキャラクタコードを表示データRAMに書き込む。アドレスカウンタは、液晶表示パネルの駆動位置に合わせて順次表示データRAMからキャラクタコードを読み出し、読み出されたキャラクタコードをアドレスの一部としてキャラクタジェネレータROMをアクセスしてキャラクタパターンを順次読み出す。読み出されたキャラクタパターンは、液晶の点灯／非点灯データとして液晶駆動回路内のセグメントシフトレジスタに順次送られ、1ライン分のデータが蓄積された時点で全セグメントドライバ回路が一斉に点灯／非点灯レベルの駆動電圧を出力し、液晶表示パネルを駆動する。

【0005】 なお、各キャラクタは垂直方向に複数のラインで構成されているため、上記の制御を各表示行毎にキャラクタのライン数（キャラクタが縦横5×8ドット構成の場合は8ライン）分だけ繰り返して行なわれる。上記の表示の点灯／非点灯制御は1ラインずつ時分割方式で行われる。そのため、タイミング制御回路から発生された1ラインの選択信号をコモンシフトレジスタに送り、このシフトレジスタが1ライン毎にシフトすることで、コモンドライバは各ラインの選択レベルの駆動電圧を順次出力する。

【0006】

【本発明が解決しようとする課題】 上記のような液晶表示装置を搭載した携帯電話機やページ等の携帯用電子機器においては、待ち受け時には液晶表示パネル全面に表示を行なう必要はなくカレンダー表示や時計表示、さ

50

(4)

5

らにピクトグラムと呼ばれるマークやアイコン等の最小限の表示がなされていれば良い。ところが、携帯電話機等の液晶表示装置では、待ち受け時に表示は減らすものの液晶駆動デューティを変更していなかった。つまり、表示しない行のコモン電極についても走査を行なっていたため、待ち受け時の消費電力を十分に減らすことができないという問題点があることが分かった。

【0007】例えば、32本のコモンドライバを有する液晶表示制御装置において、COM1信号に対するコモンドライバからCOM32信号に対応するコモンドライバまで順次選択されて32ラインが順次選択的に駆動される。この様な32ラインのコモン信号線を順次駆動する駆動方法は、1/32デューティ駆動と呼ばれている。この場合、キャラクタフォントのサイズが5×8ドットであれば、液晶パネル上において、その垂直方向に、4行分の文字列を表示することができる。この液晶表示制御装置において、4行分の全面表示を必要としない場合においても、4行分の時分割駆動を行うと、液晶駆動電圧及び液晶表示制御装置の消費電流は4行分の全面表示を行う場合と同等である。

【0008】ここで、システムの待機状態においては4行分の全面表示を行わず、一部の表示行のみを選択的に駆動し、液晶駆動デューティを下げ、液晶駆動電圧を低減することができれば、液晶駆動制御装置の消費電力を抑えることができる事が分かった。しかしながら、液晶駆動電圧を変えると最適な駆動バイアス比も変化するため、そのままの駆動条件では良好な表示コントラストが得られなくなる。また、単に液晶駆動デューティだけを低くすると、キャラクタフォントの表示位置が最上行に固定され、表示としての見た目のバランスが悪くなるという問題点があることが明らかになった。

【0009】なお、実開平2-131786号は、4倍昇圧回路と6倍昇圧回路とを有し、液晶の駆動デューティに応じてどちらか1方の昇圧回路を選択する液晶マトリックス表示装置を開示している。特開平3-119385は、AC電源と電池などの複数の電源を切り替え可能にした液晶表示回路において、停電時に電池駆動に変更すると共に、時計などの必要最小限の情報を駆動デューティ及びバイアスを低下させて表示することを開示している。

【0010】本発明の目的は、液晶表示制御装置を搭載した電子機器において、システムの動作状態に応じて液晶駆動デューティを動的に変化させることで、システムトータルの消費電力を低減できるとともに、そのような可変デューティ表示を行なう場合に液晶駆動デューティに応じて、最適な液晶駆動電圧と最適な液晶駆動バイアス条件を容易に設定して駆動を行なえる液晶表示制御装置を提供することにある。

【0011】本発明の他の目的は、昇圧電圧の倍率、液晶駆動デューティ、液晶駆動バイアス及び液晶表示位置

6

を動的に設定変更可能な液晶表示制御装置及びそれを用いたシステムを提供することにある。

【0012】本発明の他の目的は、システムの動作状態に応じて、最も見やすい表示が行なえる液晶表示制御装置及びそれを用いたシステムを提供することにある。

【0013】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

10 【0014】すなわち、マイクロプロセッサから書き替え可能な駆動デューティ選択レジスタ（表示行制御レジスタとも言う）と駆動バイアス選択レジスタとが液晶表示制御装置内に設けられる。4行表示が可能な液晶表示パネルにおいて、全面表示（例えば、4行表示）から一部の行のみの表示（例えば、1行表示）に切り替える場合、上記駆動デューティ選択レジスタと駆動バイアス選択レジスタの設定値がマイクロプロセッサによって動的に変更される。それによって、低電圧、低デューティ駆動で液晶表示パネルの一部に選択的に表示が行なわれるようにする。駆動デューティ選択レジスタに設定される値は、液晶パネルにおける表示されるべき行数の指定データ乃至は制御データと見なすことが出来る。この指定データによって、使用されるべきコモンシフトレジスタの数若しくは種類が選択される。

20 【0015】具体的には、1ライン毎に時分割して選択レベルを出力するコモンドライバに接続されたコモンシフトレジスタ（図9参照）において、シフトレジスタ選択情報が液晶パネルの画面の表示を行う部分（たとえば、1行表示の部分）に対応するシフトレジスタ（F/F1からF/F9）にのみ順次シフトされるようにする。一方、液晶パネルの画面の非表示部分に対応する部分のシフトレジスタは、シフト動作を行なわせないようにする。

30 【0016】駆動デューティ選択レジスタの設定値は、また、上記コモンシフトレジスタのシフトクロックの周期設定にも利用される。すなわち、4行表示が可能な液晶表示パネルにおいて、全面表示（4行表示）における1フレームの表示周期が、例えば、80Hzとされる場合、表示行が1行にあるいは2行にされて、低デューティ駆動された場合であっても、図10に示されるように、1行及び2行の表示周期は80Hzとされる。それによって、クロストークが防止される。

40 【0017】また、液晶表示制御装置内には、昇圧倍率を所望に変更することが可能な1つの昇圧回路が設けられる。この昇圧回路の昇圧出力倍率は、液晶表示制御装置内に設けられた昇圧倍率選択レジスタによって制御される。液晶表示パネルの全面表示から一部の行のみの表示に切り替える場合、昇圧倍率選択レジスタの設定値がマイクロプロセッサによって動的に変更されることで、昇圧回路から出力される昇圧電圧が低くされる。上記昇

50

(5)

7

圧回路の出力端子は1つとされ、液晶表示制御装置の端子数が低減されるので、液晶表示制御装置のコストが低減される。

【0018】上記した手段によると、マイクロプロセッサからの指示により液晶表示パネルの一部の行のみを選択的に駆動（低デューティ駆動）できるため、内部COMMONシフトレジスタの動作周波数及び液晶駆動電圧を下げるができる。それによって、液晶表示制御装置のトータル消費電流を抑えることができる。また、駆動バイアス選択レジスタを設けることによって、駆動デューティの変更に伴い、最適駆動バイアスも変更することができるので、コントラストの低下を防止することができる。さらに、低デューティ駆動化された場合、昇圧倍率選択レジスタの設定値によって、昇圧回路の昇圧出力倍率を低く設定することで、昇圧出力電圧を必要最小限度に下げることができる。これにより、液晶駆動電源回路の動作電圧を下げるできるとともに、昇圧回路の効率を向上させることができ、液晶表示制御装置の消費電流をさらに抑えることができる。

【0019】また、望ましくは、液晶表示制御装置内にセンタリング表示指定レジスタが設けられる。センタリング表示指定レジスタの設定値は、マイクロプロセッサによって選択的に設定される。これによって、携帯電話機などのシステムの待機時に最も表示の見やすい位置、例えば、液晶表示パネルの中央部分にドットマトリクス型キャラクタの表示を行なうことができる。例えば、ドットマトリクス型キャラクタを4行表示可能な液晶パネルの場合、上から2行目のみの表示、上から2行目と3行目の表示などように表示制御を行うことが出来る。上から2行目のみの表示及び上から2行目と3行目の表示の場合、それに対応するCOMMON信号線が選択レベルで駆動される。一方、表示行として選ばれない行（非表示行）については、そのCOMMON信号線が非選択レベルで駆動される。この場合、センタリング表示指定レジスタの設定値と駆動デューティ選択レジスタの設定値とがCOMMONシフトレジスタのシフト制御回路（図9参照）へ供給され、COMMONシフトレジスタ内の指定された複数のフリップフロップが選択される。

【0020】

【発明の実施の形態】図1は、本発明の実施例である液晶表示システム（液晶表示装置）100を示す。この表示システム100は、ドットマトリクス方式の液晶表示パネル1と、該液晶表示パネル（liquid crystal display: LCD）1のCOMMON電極およびセグメント電極を駆動する信号を出力して表示を行なわせる液晶表示制御装置2と、該液晶表示制御装置2の制御情報を設定したり表示データの書き込みを行なうマイクロプロセッサ（MPU）3と、バッテリーなどのシステム電源40を含む。マイクロプロセッサ3と液晶表示制御装置2の間には、上記装置2のチップを有効化させるイネーブル信

8

号E、リセットを指示するためのリセット信号RS、及びリード・ライト制御信号R/WをMPU3から装置2へ送信するための制御信号線と、MPU3と装置2との間の8ビットのデータ信号DB0～DB7を送受信するためのデータバスとが設けられている。また、液晶表示パネル1と液晶表示制御装置2とは、COMMON信号線COM1～COM32とセグメント信号線SEG1～SEG80とによって接続されている。

【0021】液晶表示制御装置2は、中央処理装置（CPU）を含むマイクロプロセッサ3との間の信号の送受信を行なうシステムインタフェース回路4と、内部の制御情報等を設定するためのインストラクションレジスタ5と、液晶表示パネル1の画面上に表示する文字のキャラクタコードを記憶する表示データRAM7（表示メモリ）と、該表示データRAM7から表示データを液晶表示パネル1の駆動位置に合わせて読み出すアドレスカウンタ6と、表示データRAM7から読み出されたキャラクタコードからドットマトリクス状の文字フォントパターンを展開するキャラクタジェネレータメモリ8と、該キャラクタジェネレータメモリ8から読み出された複数ビットの表示データをシリアルデータに変換する並直変換回路9と、変換された表示データをシフトして1ライン分保持するセグメントシフトレジスタ12と、シフトされた1ライン分の表示データを保持するラッチ回路13と、保持された表示データに基づいて液晶表示パネル1のセグメント電極に印加される駆動電圧波形を形成し出力するセグメントドライバ14と、液晶表示パネル1のCOMMON電極を順次選択する信号を形成するCOMMONシフトレジスタ15と、COMMON電極に印加される駆動電圧波形を形成し出力するCOMMONドライバ16と、上記表示データメモリ7に対する表示位置を示すタイミング信号や上記シフトレジスタ12、15に対して表示タイミングを与えるクロック信号を形成するタイミング発生回路10と、システム電源40からの電源電圧V_{cc}に基づいて液晶駆動電圧を発生する昇圧回路11と、昇圧された電圧に基づいて液晶駆動バイアス電圧を発生する液晶駆動バイアス回路18と、液晶駆動バイアス回路18から発生されたバイアス電圧をインピーダンス変換して出力するボルテージホロワ（オペアンプ）からなる電源回路17と、電源回路17から出力されたバイアス電圧の中から所望のものを選択して上記セグメントドライバ回路14およびCOMMONドライバ回路16に供給する液晶駆動電圧選択回路19とを含む。さらに、クロックパルス発生回路CGPは、外部から供給されるクロックCLKを受けて、内部クロックΦをタイミング信号発生回路10へ出力する。

【0022】なお、上記液晶表示制御装置2は、公知の半導体集積回路製造技術によって相補型金属・絶縁膜・半導体電界効果トランジスタ（CMOS）の半導体集積回路（LSI）として1つの半導体チップ上に形成され

(6)

9

る。また、図1において、C1、C2はそれぞれ、昇圧回路を構成する容量素子であり、C3は電源安定化のための容量素子である。これらの容量素子は半導体チップ上に形成可能な容量素子の容量では充分な大きさでないため、外付けの容量素子（コンデンサ）が用いられる。これらの容量は、例えば、1マイクロファラッド（ μ F）とされる。キャラクタジェネレータメモリ8は、一般にROM（リード・オンリ・メモリ）で構成されるが、ユーザーの作成したパターンを表示可能にするため、RAM（ランダム・アクセス・メモリ）が上記ROMに付加されることもある。特に制限されないが、上記セグメントシフトレジスタ12およびコモンシフトレジスタ15は、双方向シフトレジスタによって構成されている。

【0023】この実施例の液晶表示制御装置2は、マイクロプロセッサ3がシステムインタフェース4を介して表示したいキャラクタのコードを表示位置に対応して表示データRAM7に書き込むことで、キャラクタジェネレータメモリ8内に格納されている任意のキャラクタを表示することができる。また、マイクロプロセッサ3がシステムインタフェース4を介して液晶表示を行う各種の制御情報をインストラクションレジスタ5にセットすると、装置2は設定された制御情報に従った表示制御を行なう。表示データRAM7へのデータの書き込みは、マイクロプロセッサ3が表示文字列の先頭アドレスをアドレスカウンタ6に設定することで開始される。その後アドレスカウンタ6が自動的にアドレスを更新し、マイクロプロセッサ3から入力される文字コードが次々と表示データRAM7に書き込まれる。

【0024】表示データ（キャラクタコード）は、タイミング発生回路10により生成された表示アドレス信号が表示データRAM7へ送られることで順次読み出され、このキャラクタコードをアドレスとしてキャラクタジェネレータメモリ8に格納されたキャラクタパターンが読み出される。さらにこのキャラクタパターンは、並直変換回路9でシリアルデータに変換され、セグメント駆動回路（12、13、14）内のセグメントシフトレジスタ12に順次送られる。1ライン分のデータがセグメントシフトレジスタ12に蓄積されたところで同時にラッチ回路13にラッチされ、セグメントドライバ14はこのラッチされたデータから点灯／非点灯電圧を選択して液晶表示パネル1へ出力する。この点灯／非点灯駆動の電圧レベルは液晶駆動電圧選択回路19で発生される。

【0025】例えば、5×8ドットで構成されるキャラクタフォントパターンを垂直方向に4行表示する場合、各表示行は8ラインになるので、コモンドライバ16は計32個の出力回路を必要とする。図2に示すように、このコモンドライバ16は液晶表示パネル1のコモン駆動信号（COM1～COM32）を、COM1からCO

10

M32まで時分割に順次選択電圧レベルにして出力する。この場合、COM1～COM8が第1行目、COM9～COM16が第2行目、COM17～COM24が第3行目、COM25～COM32が第4行目となる。

【0026】このような4行まで表示可能な液晶表示パネル1において、システムの待機時など4行分を全て使用する全面表示を必要としないことが多い。例えば待機期間中は、2行あるいは1行を使用して、時刻や日時などの情報のみを表示させる場合などである。このような場合、従来の液晶表示制御装置では、表示されない行に対してもコモン駆動信号を出力してセグメント電極には非点灯のレベルの電圧を印加していた。そのため、表示行が少ないにもかかわらず消費電力は減らないという不具合があった。本発明では、表示を行わない行についてはコモン駆動信号も印加しないようにコモンシフトレジスタ15を動作させるようにしたものである。これによって、待機時の液晶表示制御装置1の消費電力を低減することができる。

【0027】ただし、この場合にもコモン駆動信号をCOM1から順次選択レベルにして出力して2行表示や1行表示を行なうようにした場合には、図3と図4にそれぞれ示すように、それぞれCOM1～COM16（1/16デューティ駆動）及びCOM1～COM8（1/8デューティ駆動）の範囲で選択レベルが出力されることとなる。このような駆動を行なうと、図5（b）及び図5（c）に示すように、4行表示の液晶表示パネル1の画面上部の2行または1行に偏って表示され、見た目が悪くなる。図5（a）は、1/32デューティ駆動の場合の4行表示例を示す。

【0028】そこで、この実施例では、2行表示や1行表示を行なう場合には、図6と図7にそれぞれ示すように、コモン駆動信号COM1～COM8までの選択駆動をスキップし、COM9からCOM24（1/16デューティ駆動）又はCOM9からCOM16（1/8デューティ駆動）までの範囲で選択レベルを出力することで、図8（b）及び図8（c）に示すように液晶表示パネル1の画面中央部に選択的に表示を行なうように、コモンシフトレジスタ15を動作させている。しかもこの場合、画面中央部の表示エリア以外の非表示行は常時非選択レベルで交流駆動を行なうことで、液晶に直流バイアスが印加されて液晶が劣化し表示が黒ずんでしまうのを回避することができるようにしている。尚、図8（a）は1/32デューティ駆動の場合の4行表示例を示す。

【0029】図9は、低デューティ駆動時の画面中央部に表示を行う為の詳細な実現方法を示す。図1のインストラクションレジスタ5は、駆動デューティ値が設定される駆動デューティ選択レジスタ（表示行制御レジスタ）34と、表示画面中央部に選択的に表示を行うことを指示するセンタリング指定レジスタ31とを含む。

(7)

11

【0030】駆動デューティ選択レジスタ34は、例えば、2ビットの制御ビットNL1-NL0を有し、NL1-NL0の値が、“00”の場合4行表示（1/32デューティ駆動）を示し、“01”の場合2行表示（1/16デューティ駆動）を示し、“10”の場合1行表示（1/8デューティ駆動）を示すようにされる。一方、センタリング指定レジスタ31は、1ビットの制御ビットCENを有し、CENの値が、“0”の場合中央表示をしない事を示すようにされ、“1”の場合中央表示する事を示すようにされる。

【0031】マイクロプロセッサ3は、上記駆動デューティ選択レジスタ34とセンタリング指定レジスタ31とに所定の値を設定する。液晶表示制御装置2は、駆動デューティ選択レジスタ34に設定された駆動デューティ値に基づいて、タイミング発生回路10で形成されるコモンシフトレジスタ15のシフトクロック信号SCLKの周期を調整する。例えば、4行表示から2行表示に駆動デューティが変更された場合、たとえば80Hzとされるフレーム周期を一定に制御するため、上記シフトクロックの周期は2倍とされる。さらに1行表示に駆動デューティが変更された場合、上記シフトクロックの周期は4倍とされる。すなわち、タイミング発生回路10は、分周比が可変にされるクロック分周回路を含む。このクロック分周回路の分周比は、駆動デューティ選択レジスタ34に設定された駆動デューティ値に基づいて制御される。

【0032】駆動デューティ選択レジスタ34に設定された駆動デューティ値はシフト制御回路35にも供給されており、設定された駆動デューティ値に従って、フリップフロップF/F1-F/F32内の複数のフリップフロップを選択する。フリップフロップF/F1-F/F8は液晶パネル1の1行目の表示に利用され、フリップフロップF/F9-F/F16は液晶パネル1の2行目の表示に利用され、フリップフロップF/F17-F/F24は液晶パネル1の3行目の表示に利用され、フリップフロップF/F25-F/F32は液晶パネル1の4行目の表示に利用される。従って、センタリング指定レジスタ31の制御ビットCENの値が“0”の場合、4行表示（1/32デューティ駆動）においては、フリップフロップF/F1-F/F32がシフト制御回路35によって選択され、2行表示（1/16デューティ駆動）においてはシフト制御回路35によってフリップフロップF/F1-F/F16が選択され、1行表示（1/8デューティ駆動）においてはフリップフロップF/F1-F/F9がシフト制御回路35によって選択されるようになっている。

【0033】センタリング指定レジスタ31の設定値はシフト制御回路35に供給されており、シフト制御回路35は、通常の全面表示（4行表示）の際にはフリップフロップF/F1からF/F32まで順番にシフトレジ

12

スタ選択情報とされる値「1」をシフトさせて行くことでコモンドライバ16から時分割に選択レベルのコモン信号を出力させる。フリップフロップF/F1-F/F32は、その内部にシフトレジスタ選択情報「1」が入力されている期間、選択レベルの出力信号CSF1乃至CSF32をコモンドライバ16へ選択的に出力する。それによって、コモンドライバ16は、選択レベルとされるべきコモン信号線を判別し、対応するコモン信号COM1乃至COM32を選択レベルとする。携帯電話機などのシステムの待機時には、センタリング指定レジスタ31の設定値（CEN=“1”）及び駆動デューティ選択レジスタ34に設定された駆動デューティ値（NL1-NL0=“01”：2行表示（1/16デューティ駆動））に基づいて、例えばフリップフロップF/F9からF/F24まで順番にシフトレジスタ選択情報「1」をシフトさせて行くことでコモンドライバ16から中央の2行分のコモンラインへ選択レベルのコモン信号を時分割的に出力させる。

【0034】図10には、設定された駆動デューティ値に基づいてコモンシフトレジスタ15のシフトクロック信号の周期を、フレーム周期を一定にするように調整したときの詳細なタイミング図が示されている。この実施例の液晶表示制御装置2においては、センタリング表示指定レジスタ31で指示された情報とタイミング発生回路10で生成されたシフトクロックを、コモンシフトレジスタ15内のシフト制御回路35（図9）に入力し、32ヶのフリップフロップ（F/F1-F/F32）で構成されるシフトレジスタを制御する。例えば4行表示の場合には、F/F1からF/F32まで選択情報を順次シフトすることで、全面表示を行う。一方、画面中央部の2行に表示を行う場合は、F/F9からシフトを開始してF/F24でシフトを終了する。この際、F/F1-F/F8及びF/F25-F/F32のフリップフロップは常時リセットされ、シフトは行わない。また画面中央部の1行に表示を行う場合は、F/F9からシフトを開始してF/F16でシフトを終了する。この際、F/F1-F/F8及びF/F17-F/F32のフリップフロップは常時リセットされ、シフトは行わない。異なる駆動デューティにおいてもフレーム周期を一定にすることは、クロストークや表示のチラツキの防止の意味を有する。

【0035】一般的に駆動デューティを低くすると、各ラインの選択時間が長くなり、パネル全体の表示が点灯しやすくなる。従って、低デューティ駆動に変更した後も、変更前と同じ見た目（コントラスト）を維持するためには、液晶駆動電圧と駆動バイアスを下げる必要がある。また、この低デューティ駆動化により、液晶駆動電圧を下げることで、消費電力を低減できるメリットも生じる。特に、システム電源40の電源電圧より高い液晶駆動電圧を必要とする液晶表示制御装置では、

(8)

13

システム電源電圧を昇圧して液晶駆動電圧を発生させる必要がある。この場合、液晶駆動系の回路(11~18)に流れる電流が、昇圧回路11を介して供給される場合、システム電源側から見た消費電流は、昇圧倍率に応じて、例えば、2倍、3倍となる。しかも、昇圧回路11での昇圧効率は、高倍率になるほど悪くなる。従って、昇圧回路11を介して液晶駆動系の回路(11~18)に電流を供給する場合、必要最小限度に昇圧倍率を下げた方が消費電流を抑えることができ有利である。

【0036】さらに、この実施例においては、2行表示あるいは1行表示のため駆動デューティを1/2、1/4に下げたときに、各コモン信号の選択レベルの期間をそれぞれ2倍、4倍となるようにしている。これによって、1フレームの周波数を変えることなく駆動デューティを下げるができる。つまり単に駆動デューティのみを下げるとフレーム周波数が増大して画質の低下を招くおそれがあるが、この実施例においては、フレーム周波数を変えることなく駆動デューティを下げていて、画質の低下を回避できる。

【0037】なお、駆動デューティを1/2、1/4に下げたときに各コモン信号の選択レベルの期間をそれぞれ2倍、4倍にする制御は、タイミング発生回路10からコモンシフトレジスタ15に供給されるクロックの周波数をそれぞれ1/2、1/4に下げることで簡単に実現することができる。このように、駆動デューティを1/2、1/4に下げたときに、クロックの周波数を下げるようにしているため、CMOS回路で構成されている内部回路の動作周波数が下がり、消費電力も下がるという利点もある。

【0038】図11は、液晶駆動系の回路(11~18)を示している。昇圧回路11は、入力電圧端子Vciから供給された基本電圧を最大3倍まで昇圧して1つのVLOUT端子に出力する。C1、C2はチャージポンプ方式で昇圧を行うためのコンデンサ、C3は電源安定化用のコンデンサである。昇圧電圧を1つの端子(V*

14

*LOUT)から出力することによって、液晶駆動制御装置2の外部端子数を少なくできるので、液晶駆動制御装置2のコスト及び液晶駆動制御装置2の実装面積を低減できる。携帯電話機などの場合、本発明の液晶駆動制御装置2を用いれば、軽量かつ小型の外形とすることが出来る。しかも、出力倍率を変化させた昇圧電圧を1本の出力ピンに出力して、この出力電圧をさらにLSIの電源入力端子に供給することで、液晶駆動電圧の変更が容易になる。

【0039】この実施例では、図示されるように、昇圧回路11に対応して昇圧倍率選択レジスタ33が設けられており、マイクロプロセッサ3がインストラクションレジスタ5内の昇圧倍率選択レジスタ33に所望の昇圧倍率を設定することで、昇圧回路11のVLOUT出力の昇圧倍率を1倍から3倍まで任意に変更することができるように構成されている。

【0040】特に、制限されないが、上記昇圧倍率選択レジスタ33は、インストラクションレジスタ5内に設けられている。基本電圧Vciは電源電圧Vcc(例えば3V)を抵抗分割して得られるVccよりも低い電圧(例えば2.8V)でも良い。電源電圧Vccよりも低い電圧を昇圧回路11の基本電圧Vciとしているのは、この実施例の液晶表示パネル1を駆動する場合、液晶駆動電圧は最も高いデューティで駆動する場合にも8V程度で良いからである。また、前述したように、昇圧電圧が高いほど消費電力が多くなるので、昇圧倍率を最大の3倍したときに得られる電圧が高くなりすぎないようにするためである。

【0041】図12は昇圧回路11の具体的な回路構成例を示し、表1は昇圧倍率選択レジスタ33の設定値と昇圧回路11のVLOUT出力状態との関係を示す。また、図13に各昇圧電圧発生動作の動作原理を示す。

【0042】

【表1】

昇圧倍率選択 レジスタ設定		昇圧回路11の出力レベル(VLOUT)
BT1	BT0	
0	0	昇圧動作停止。VLOUTは、GNDレベルを出力する。
0	1	1倍昇圧動作。VLOUTは、vciレベルを出力する。
1	0	2倍昇圧動作。VLOUTは、vciの2倍の昇圧レベルを出力する。
1	1	3倍昇圧動作。VLOUTは、vciの3倍の昇圧レベルを出力する。

表1に示されるように、昇圧倍率選択レジスタ33は、制御ビットBT1、BT0を有する。

【0043】上記制御ビットBT1、BT0が“00”とされると、昇圧回路11の動作が停止され、VLOUT端子は接地電位GNDを出力する。制御ビットBT1、BT0が“01”とされると、昇圧回路11の昇圧倍率が1倍にされ、VLOUT端子は基本電圧Vciを出力する。制御ビットBT1、BT0が“10”とされ

ると、昇圧回路11の昇圧倍率が2倍にされ、VLOUT端子は基本電圧Vciの2倍の電圧を出力する。制御ビットBT1、BT0が“11”とされると、昇圧回路11の昇圧倍率が3倍にされ、VLOUT端子は基本電圧Vciの3倍の電圧を出力する。

【0044】図12(A)~(D)に示すように、昇圧回路11は、外部端子T1、T2間に接続されたコンデンサC1と、外部端子T3、T4間に接続されたコンデ

(9)

15

ンサC2と、電圧入力端子T_{vci}と昇圧電圧出力端子T_{out}と上記外部端子T1～T4との間に接続されたスイッチS0～S9とにより構成されている。この昇圧回路11は、1倍昇圧出力時には図12(B)のように、スイッチS0のみがオンされて入力電圧V_{ci}がそのまま出力電圧V_{LOUT}として端子T_{out}より出力される。

【0045】一方、2倍昇圧や3倍昇圧出力時には、先ず図12(A)のようにスイッチS2, S4, S7, S9がオンされてコンデンサC1, C2がそれぞれV_{ci}に充電される。次に、2倍昇圧のときは図12(C)のように、スイッチS1, S3, S6, S8がオンされることによって、図13(A)のように2つのコンデンサC1, C2が並列形態に接続されるとともに、充電時に接地電位が印加されていた端子が電圧入力端子に接続されてV_{ci}が印加されることで2×V_{ci}の電圧を出力する。また、3倍昇圧のときは図12(D)のように、スイッチS1, S5, S8がオンされることによって、図13(B)のように2つのコンデンサC1, C2が直列形態に接続されるとともに、充電時に接地電位が印加されていた端子が電圧入力端子に接続されてV_{ci}が印加されることで3×V_{ci}の電圧を出力する。

【0046】上記のように、昇圧回路11の昇圧出力倍率を任意に設定できるようにすることで、液晶を駆動するのに低い電圧で良い場合には昇圧出力を必要最小限度に下げることにより、液晶駆動電源回路としての駆動バイアス回路18や電源回路17の動作電圧を下げるができることとともに、昇圧回路11の効率を向上させることができる。その結果、装置2の消費電流を大幅に抑えることができる。

【0047】次に、上記昇圧回路11の昇圧倍率の具体的な設定方法を説明する。例えば、1/32デューティ駆動で4行表示を行う場合の液晶駆動電圧を8Vとすると、システム電源電圧が3Vの場合には昇圧回路11は3倍の昇圧を行う必要がある。そのため、3倍の昇圧倍率を指示するためのデータがマイクロプロセッサ3から昇圧倍率選択レジスタ33に設定される。一方、システ*

16

* ムの待機時、例えば、1行のみを表示すれば十分である場合にも、1/32デューティ駆動のままでは、液晶駆動電圧も3倍昇圧で8Vのままであり、装置2の消費電流は低減できない。そこで、1/8デューティ駆動を指示するデータがマイクロプロセッサ3によって駆動デューティ選択レジスタ34に設定されてデューティ比が変更される。さらに、レジスタ33には、例えば、2倍の昇圧倍率を指示するデータがマイクロプロセッサ3によって設定され、液晶駆動電圧が5V程度に設定される。これにより、昇圧倍率選択レジスタ33で昇圧回路11を2倍昇圧に変更させても十分な液晶駆動電圧が得られることになり、3Vのシステム電源40から見た消費電流を約2/3に低減することが可能となる。

【0048】また、液晶駆動デューティを変更した場合に良好なコントラストを得るためには、駆動バイアス比を最適化するのが望ましい。一般的に、駆動デューティを1/Nとすると、最良のコントラストを得るための最適駆動バイアス比Bは、

$$B = 1 / (\sqrt{N} + 1)$$

となる。例えば、1/8デューティと、1/16デューティと、1/32デューティでの最適駆動バイアスは、それぞれ1/4バイアス、1/5バイアス、1/6、7バイアスとなる。

【0049】図14(A)に液晶駆動バイアス回路18の実施例を示し、表2は各バイアスモードにおける液晶バイアス選択レジスタ32の設定状態と、液晶駆動バイアス回路18内のスイッチSW1～SW9、S1～S3のオン/オフ状態との関係を示す。特に制限されないが、液晶バイアス選択レジスタ32はインストラクションレジスタ5内に設けられている。なお、表2において「-」はオフ状態を表している。この実施例の液晶表示制御装置2は、マイクロプロセッサ3がインストラクションレジスタ5内の液晶バイアス選択レジスタ32に駆動バイアスを設定することで、液晶駆動バイアス回路18内の駆動バイアス比を任意に変更することができる。

【0050】

【表2】

駆動バイアス 選択レジスタ	BS2	0	0	0	0	1	1	1	1
	BS1	0	0	1	1	0	0	1	1
	BS0	0	1	0	1	0	1	0	1
液晶駆動バイアス		1/6.5	1/6	1/5.5	1/5	1/4.5	1/4	1/3	1/2
スイッチ切り替え	SW1	ON	ON	ON	ON	-	-	-	-
	SW2	-	-	ON	ON	-	-	-	-
	SW3	-	-	-	-	-	ON	-	-
	SW4	ON	ON	ON	ON	ON	ON	ON	-
	SW5	-	-	-	-	-	-	ON	-
	SW6	-	-	-	-	-	-	ON	-
	SW7	-	-	-	-	-	-	-	ON
	SW8	-	-	-	-	-	-	-	ON
	SW9	-	-	-	-	-	-	-	ON
	S1	ON	-	ON	-	ON	-	-	-
	S2	-	ON	-	ON	-	-	-	-
	S3	-	-	-	-	ON	-	-	-

表2に示されるように、駆動バイアス選択レジスタ32は、制御ビットBS2, BS1及びBS0を含む。

【0051】制御ビットBS2, BS1及びBS0が“000”に設定されると、液晶駆動バイアスは1/

(10)

17

6. 5 バイアスとされ、スイッチ SW1, SW4, S1 がオン状態にされ、図 15 (B) に示される等価回路とされる。制御ビット BS2, BS1 及び BS0 が “001” に設定されると、液晶駆動バイアスは $1/6$ バイアスとされ、スイッチ SW1, SW4, S2 がオン状態にされ、図 15 (C) に示される等価回路とされる。制御ビット BS2, BS1 及び BS0 が “010” に設定されると、液晶駆動バイアスは $1/5$ バイアスとされ、スイッチ SW1, SW2, SW4, S1 がオン状態にされ、図 15 (D) に示される等価回路とされる。

【0052】また、制御ビット BS2, BS1 及び BS0 が “011” に設定されると、液晶駆動バイアスは $1/5$ バイアスとされ、スイッチ SW1, SW2, SW4, S2 がオン状態にされ、図 15 (E) に示される等価回路とされる。制御ビット BS2, BS1 及び BS0 が “100” に設定されると、液晶駆動バイアスは $1/4$ バイアスとされ、スイッチ SW4, S1, S3 がオン状態にされ、図 15 (F) に示される等価回路とされる。制御ビット BS2, BS1 及び BS0 が “101” に設定されると、液晶駆動バイアスは $1/4$ バイアスとされ、スイッチ SW3, SW4 がオン状態にされ、図 15 (G) に示される等価回路とされる。制御ビット BS2, BS1 及び BS0 が “110” に設定されると、液晶駆動バイアスは $1/3$ バイアスとされ、スイッチ SW4, SW5, SW6 がオン状態にされ、図 15 (H) に示される等価回路とされる。制御ビット BS2, BS1 及び BS0 が “111” に設定されると、液晶駆動バイアスは $1/2$ バイアスとされ、スイッチ SW7, SW8, SW9 がオン状態にされ、図 15 (H) に示される等価回路とされる。なお、R は、基準抵抗を示す。

【0053】図 14 (A) において、第 1 電圧 V1 と接*

CT 設定値					可変抵抗値 (VR)
CT4	CT3	CT2	CT1	CT0	
0	0	0	0	0	$3.2 \times R$
0	0	0	0	1	$3.1 \times R$
0	0	0	1	0	$3.0 \times R$
0	0	0	1	1	$2.9 \times R$
0	0	1	0	0	$2.8 \times R$
0	0	1	0	1	$2.7 \times R$
0	0	1	1	0	$2.6 \times R$
0	0	1	1	1	$2.5 \times R$
0	1	0	0	0	$2.4 \times R$
0	1	0	0	1	$2.3 \times R$
0	1	0	1	0	$2.2 \times R$
0	1	0	1	1	$2.1 \times R$
0	1	1	0	0	$2.0 \times R$
0	1	1	0	1	$1.9 \times R$
0	1	1	1	0	$1.8 \times R$
0	1	1	1	1	$1.7 \times R$

18

* 地電位 GND がセグメント電極 (SEG1-80) およびコモン電極 (COM1-32) の選択レベル、第 2 電圧 V2 と第 5 電圧 V5 がコモン電極 (COM1-32) の非選択レベル、第 3 電圧 V3 と第 4 電圧 V4 がセグメント電極 (SEG1-80) の非選択レベルである。上記のように、非選択レベルが 2 組あるのは非点灯 (白) のドットに対応したコモン電極 (COM1-32) とセグメント電極 (SEG1-80) に V2 と V3 または V5 と V4 をフレーム毎に交互に印加して交流駆動 (交流バイアス) することで液晶の劣化を防止するためである。交流駆動については、後に図 16 (A) 及び (B) を用いて説明される。

【0054】なお、図 14 (A) において、VR はコントラスト調整用の可変抵抗である。図示されるように、この可変抵抗 VR の抵抗調整量を設定するコントラスト調整レジスタ 39 がインストラクションレジスタ 5 内に設けられている。そのレジスタ値によって可変抵抗 VR の抵抗値を変化させて液晶表示パネルのコントラストを調整する。

【0055】表 3 は、コントラスト調整レジスタ 39 の 5 ビットで構成された制御ビット CT4-CT0 の設定値と可変抵抗 VR の値とを示している。なお、R は基準抵抗を示す。図から分かるように、制御ビット CT4-CT0 が “00000” から順に “11111” まで変わると、可変抵抗 VR の値は $3.2 \times R$ から $0.1 \times R$ まで 0.1 単位で定数が下がっていくようになっている。このようにして、きめ細かに V1-GND 間の電位差すなわち液晶駆動電圧を調整し、コントラストが調整される。

【0056】

【表 3】

CT 設定値					可変抵抗値 (VR)
CT4	CT3	CT2	CT1	CT0	
1	0	0	0	0	$1.6 \times R$
1	0	0	0	1	$1.5 \times R$
1	0	0	1	0	$1.4 \times R$
1	0	0	1	1	$1.3 \times R$
1	0	1	0	0	$1.2 \times R$
1	0	1	0	1	$1.1 \times R$
1	0	1	1	0	$1.0 \times R$
1	0	1	1	1	$0.9 \times R$
1	1	0	0	0	$0.8 \times R$
1	1	0	0	1	$0.7 \times R$
1	1	0	1	0	$0.6 \times R$
1	1	0	1	1	$0.5 \times R$
1	1	1	0	0	$0.4 \times R$
1	1	1	0	1	$0.3 \times R$
1	1	1	1	0	$0.2 \times R$
1	1	1	1	1	$0.1 \times R$

次に、交流駆動について、図 16 (A) 及び (B) を用いて説明される。まずはじめに、図 16 (B) について説明する。図 16 (B) は、ドットマトリックス型液晶

パネル 1 の一部分を模式的に示す拡大平面図である。同図には、コモン信号 COM1-COM3 がそれぞれ印加される行方向に配置されたコモン用透明電極 ECOM1

(11)

19

−ECOM3と、上記透明電極ECOM1−ECOM3に直交する方向(列方向)に配置されたセグメント用透明電極ESEG1−ESEG3が描かれている。セグメント用透明電極ESEG1−ESEG3には、セグメント信号SEG1−SEG3が供給される。セグメント用透明電極ESEG1−ESEG3とコモン用透明電極ECOM1−ECOM3との間には液晶層(後述される)が設けられており、それらの交点部分がドットマトリックスの1ドットに対応している。図5(a)−(c)乃至図8(a)−(c)において、四角形の枠(非点灯)及び黒の四角形(点灯)に1つ1つが1ドットとされる。図16(B)においては、透明電極ECOM1と透明電極ESEG1との交点のドット及び透明電極ECOM2と透明電極ESEG2との交点のドットが、点灯(ON)とされ、その他は非点灯(OFF)とされている状態を示している。

【0057】図16(A)は、(B)の透明電極ECOM2と透明電極ESEG2との交点のドット、すなわち、点灯(ON)しているドットのコモン信号COM2、セグメント信号SEG2及び画素信号Dを第1フレーム(フレームI)と第2フレーム(フレームII)とで示している。

【0058】第1フレーム(フレームI)において、コモン信号COM2の選択レベルはV1とされ、非選択レベルはV5とされる。一方、第1フレーム(フレームI)において、セグメント信号SEG2の選択レベルはGNDとされ、非選択レベルはV4とされる。ドットが点灯するのは、コモン信号の電位からセグメント信号の電位を引いた電圧が液晶のしきい値を越えている場合である。その電位差が画素信号Dとされる。従って、透明電極ECOM2と透明電極ESEG2との交点のドットが、点灯することになる。

【0059】第2フレーム(フレームII)において、コモン信号COM2の選択レベルはGNDとされ、非選択レベルはV2とされる。一方、第1フレーム(フレームI)において、セグメント信号SEG2の選択レベルはV1とされ、非選択レベルはV3とされる。従って、透明電極ECOM2と透明電極ESEG2との交点のドットが、点灯することになる。このように、第1フレーム(フレームI)と第2フレーム(フレームII)とでは、選択レベル・非選択レベルの極性が反転させられている事になる。このような駆動方法が交流駆動(交流バイアス)と呼ばれ、液晶の劣化が効果的に防止される。

【0060】図17(A)〜(D)は、上記実施例の液晶表示制御装置2を液晶表示パネルと共に携帯電話機に搭載する場合の実装例を示す。このうち図17(A)は、液晶表示パネル1を構成するガラス基板の裏面に半導体集積回路として構成された上記実施例の液晶表示制御装置チップ2および外付けのコンデンサCや抵抗Rを搭載したボード50を接合し、このボード50にヒート

20

シールと呼ばれる配線51を介して操作パネルを構成するキーマトリックス基板52を接続するようにしたものである。なお、53はマイクロプロセッサチップ3を搭載したMPUボードで、MPUボード53とキーマトリックス基板52とは特に制限されないがシリアル通信線54で接続されている。

【0061】また、図17(B)は、携帯電話機の操作パネルを構成するキーマトリックス基板52上に液晶表示制御装置チップ2および外付けのコンデンサCや抵抗Rを搭載し、ヒートシール51を介して液晶表示パネル1をキーマトリックス基板52に接続するようにしたものである。

【0062】図17(C)は、操作パネルを構成するキーマトリックス基板52上に外付けのコンデンサCや抵抗Rを搭載し、キーマトリックス基板52と液晶表示パネル1との間を液晶表示制御装置チップ2を搭載したTCP(Tape Carrier Package)51'によって接続するようにしたものである。

【0063】図17(D)は、操作パネルを構成するキーマトリックス基板52上に外付けのコンデンサCや抵抗Rを搭載し、液晶表示制御装置チップ2は液晶表示パネル1を構成するガラス基板上に実装して液晶表示パネル1とキーマトリックス基板52とをヒートシール51で接続するようにしたものである。

【0064】図18には、液晶表示制御装置2の端子配置例および液晶表示パネル1と液晶表示制御装置2との接続例を示す。図18に示すように、この実施例の液晶表示制御装置2は、コモン信号COM1〜COM32を出力する端子がチップの左右(短い方の辺)に半分ずつ分けて配置され、長い方の一辺にセグメント信号を出力する端子が配置されている。また、長い方の辺の他方には、電源端子や外付け端子、マイクロプロセッサとの間で信号のやりとりを行なう入出力端子が設けられている。このような端子配列をとるとともに、前述したように、セグメントシフトレジスタ12およびコモンシフトレジスタ15が双方向シフトレジスタによって構成されていることにより、液晶表示制御装置チップ2を液晶表示パネル1の上下のいずれの位置にも、さらにチップを裏返した状態で配置しても、コモン信号線とセグメント信号線を交差させることなく互いに接続することができる。

【0065】図19は、本発明の液晶表示制御装置2が利用される携帯型電話システムの概略構成のブロック図を示す。

【0066】同図に示すシステムは、携帯型電話システムは、音声データの圧縮伸長を行うADPCコーデック回路201、スピーカ202、マイク203、液晶パネル1、キーボード205、デジタルデータを時分割多重化するTDMA回路206、登録されたID番号を格納するEEPROM209、プログラムを格納するRO

(12)

21

M208、データの一時格納やマイコンの作業エリアとなるSRAM207などのメモリ、無線信号のキャリア周波数を設定するPLL回路210、無線信号を送受信するためのRF回路211及びそれらを制御するシステム制御マイコン212で構成される。

【0067】図20は、本発明の液晶表示制御装置2が利用される携帯型電話を説明するための図である。本発明の液晶表示制御装置2は、図17(D)に示されるような形態で、液晶パネル1と一体化されてキーマトリックス基板52とともに携帯電話機91に実装される。

【0068】図21は、図1の液晶表示パネル1の一例の概略構成を示す分解斜視図、図22は、図1の液晶表示パネル1の一例の概略構成を示す要部断面図である。

【0069】図21、図22に示す液晶表示パネル1は、例えば、STN(Super Twisted Nematic)液晶を用いた液晶表示パネルである。液晶表示パネル1は、シール材113を介して、互いに接着されたガラス基板101、102と、ガラス基板101、102及びシール材113との間に注入封止された液晶層110を有する。液晶は開口部130から注入される。

【0070】図21、図22に示すように、液晶層110を基準にして、ガラス基板101側には帯状の透明導電膜(Indium-Thin-Oxide:ITO)からなる複数のセグメント電極(ESeg)111が形成され、ガラス基板102側には帯状の透明導電膜(ITO)からなる複数のコモン電極(COM)112が形成される。ガラス基板101の内側(液晶層側)には、複数のセグメント電極111、配向膜113とが順次積層され、ガラス基板102の内側(液晶層側)には、複数のコモン電極112、配向膜114とが順次積層される。また、ガラス基板101の外側には、偏光板115および位相差板117が形成され、ガラス基板102の外側には、偏光板116が接合される。セグメント電極111とコモン電極112とは互いに直交し、セグメント電極111とコモン電極112との交差部が画素領域(ドット)を構成する。なお、液晶層110の中に、液晶層110のギャップ長を一定にするスペーサを配置することも可能である。

【0071】図23は、本発明の他の実施例である液晶表示システム150を示す。同図に示される液晶表示システム150と、図1に示される液晶表示システム100とは以下の点異なる。以下において特に説明されない部分は、前記実施例と同等であるので、改めて説明されない。

22

【0072】この実施例の液晶表示制御装置2は、図25に示されるようなマーク・アイコン・絵柄・数字などのセグメント表示及び文字・数字などのドットマトリックス表示の両方を表示可能な液晶パネル140を駆動するのに適する。そのため、液晶表示制御装置2は、セグメントメモリ151を含む。セグメントメモリ151は、システムインターフェイス4を介して、マイクロプロセッサ3から供給されるセグメント表示データを記憶する。例えば、セグメントメモリは、24バイトの記憶容量とされ、最大144個のセグメント表示が可能とされる。セグメントメモリ151の出力は、並直変換回路9に結合され、キャラクタジェネレーションメモリ8の出力と共に、パラレル-シリアル変換され、セグメントシフトレジスタ12へ供給される。

【0073】一方、コモンドライバ16も図1に示す液晶表示制御装置2に対して変更されている。この実施例のコモンドライバ16は、5×8ドットで構成されるキャラクタフォントパターンを垂直方向に3行分表示可能であり、また、同時に、2ラインのセグメント表示が可能である。そのため、コモンドライバ16は計24個のドットマトリックス表示用出力回路と、2個のセグメント表示用出力回路とを有する。すなわち、図23に示すように、このコモンドライバ16は液晶表示パネル1のドットマトリックス表示用コモン駆動信号(COM1~COM24)と、セグメント表示用コモン駆動信号(COMS1, COMS2)を有する。

【0074】液晶パネル140を全面表示する場合、COMS1、COM1~COM24、COMS2が時分割に順次選択電圧レベルにされる。この場合、COM1~COM8が第1行目、COM9~COM16が第2行目、COM17~COM24が第3行目となる。セグメントコモン駆動信号(COMS1, COMS2)は、液晶パネル140の上側乃至下側にそれぞれ1本ずつ有るものとされる。ただし、液晶パネルによっては、上側又は下側に1本しかないものもある。この場合、2本のセグメントコモン駆動信号COMS1、COMS2のうち、1本は使用されないことになる。

【0075】図24及び表4は、図23の液晶表示制御装置2内のコモンシフトレジスタ15と駆動デューティ選択レジスタ34を示す。駆動デューティ選択レジスタ34は、内部の制御ビットが3ビットNL2~NL0に変更される。

【0076】

【表4】

(13)

23

NL 2	NL 1	NL 0	表示行数	液晶駆動デューティ	使用するコモンドライバ
0	0	0	セグメントのみ表示	1/2 Duty	COMS1、COMS2
0	0	1	キャラクタ1行+セグメント表示	1/10 Duty	COM1-8、COMS1、COMS2
0	1	0	キャラクタ2行+セグメント表示	1/18 Duty	COM1-16、COMS1、COMS2
0	1	1	キャラクタ3行+セグメント表示	1/26 Duty	COM1-24、COMS1、COMS2
1	*	*	設定禁止		

24

表4に示されるように、NL 2-NL 0の値が、“0 0 0”にされると、セグメント（絵・マーク・アイコン等）のみの表示とされ、使用されるコモンドライバは、セグメントコモン駆動信号（COMS 1、COMS 2）を出力するドライバのみとされる。この場合、駆動デューティは、1/2とされる。NL 2-NL 0の値が、

“0 0 1”にされると、セグメント表示と第1行目のドットマトリックス型のキャラクタ表示とされ、使用されるコモンドライバは、セグメントコモン駆動信号（COMS 1、COMS 2）を出力するドライバとドットマトリックス表示用コモン駆動信号（COM 1~COM 8）を出力するドライバとされる。この場合、駆動デューティは、1/10とされる。

【0 0 7 7】NL 2-NL 0の値が、“0 1 0”にされると、セグメント表示と第1行目及び第2行目のドットマトリックス型のキャラクタ表示とされ、使用されるコモンドライバは、セグメントコモン駆動信号（COMS 1、COMS 2）を出力するドライバとドットマトリックス表示用コモン駆動信号（COM 1~COM 16）を出力するドライバとされる。この場合、駆動デューティは、1/18とされる。NL 2-NL 0の値が、“0 1 1”にされると、セグメント表示と第1行-第3行目までドットマトリックス型のキャラクタ表示とされ、使用されるコモンドライバは、セグメントコモン駆動信号（COMS 1、COMS 2）を出力するドライバとドットマトリックス表示用コモン駆動信号（COM 1~COM 24）を出力するドライバとされる。この場合、駆動デューティは、1/26とされる。なお、ビットNL 2-NL 0への上記以外の値へ設定は禁止される。

【0 0 7 8】図24のコモンシフトレジスタ15の変更点は、以下のようにされる。

【0 0 7 9】フリップフロップ25乃至26がセグメントコモン駆動信号（COMS 1、COMS 2）発生用とされる点である。センタリング表示指定レジスタ31の制御ビットCENが“0”とされる場合は以下のようにされる。駆動デューティが1/2とされた場合、フリップフロップ25乃至26のみに、シフトレジスタ選択情報「1」をシフトさせて、ドライバ選択信号CSSF 1乃至2を出力させる。駆動デューティが1/10とされた場合、フリップフロップ1-9及び25、26に、シフトレジスタ選択情報「1」をシフトさせて、ドライバ選択信号CSF 1-9、CSSF 1乃至2を出力させ

る。駆動デューティが1/18とされた場合、フリップフロップ1-16及び25、26に、シフトレジスタ選択情報「1」をシフトさせて、ドライバ選択信号CSF 1-16、CSSF 1乃至2を出力させる。駆動デューティが1/26とされた場合、フリップフロップ1-24及び25、26に、シフトレジスタ選択情報「1」をシフトさせて、ドライバ選択信号CSF 1-24、CSSF 1-2を出力させる。

【0 0 8 0】センタリング表示指定レジスタ31の制御ビットCENがマイクロプロセッサ3によって、“1”とする場合、マイクロプロセッサ3は、駆動デューティ選択レジスタ34のビットNL 2-NL 0を“0 0 1”に設定し、駆動バイアス選択レジスタ32のビットBS 2-0を“1 0 1”にする。

【0 0 8 1】図25には、1/26デューティ駆動からデューティ駆動1/10に変更した場合の液晶パネル1の表示状態が示される。本発明の液晶表示システム150の図20のような携帯電話91の場合、特の本発明の効果が顕在化する。

【0 0 8 2】図26は、液晶パネル140の一例が示される。この液晶パネル140においては、セグメント表示用コモン信号COMS 1が供給される透明電極ECOMS 1がパネル1上部に配置される。各マーク・文字・図形等のセグメント（ピクトグラムとも言う）は、左から、セグメント信号SEG 2、SEG 7、SEG 23、SEG 28、SEG 42が供給される透明電極（ESE G）の選択レベルと透明電極ECOMS 1の選択レベルによって、点灯するようになっている。それぞれセグメントは、図中に例示的に示されるように、表示されるべき図形同型の透明電極1対を有しており、一方の透明電極はセグメント表示用コモン信号COMS 1が供給される透明電極ECOMS 1が結合され、他方の透明電極はセグメント信号SEG 2が供給される透明電極ESE G 2が結合される。

【0 0 8 3】以上説明したように、上記実施例は、液晶表示制御装置内にマイクロプロセッサから書き替え可能な駆動デューティ選択レジスタと駆動バイアス選択レジスタとを設け、液晶表示パネルの全面表示から一部の行のみの表示に切り替える場合、上記駆動デューティ選択レジスタと駆動バイアス選択レジスタの設定値を変更することで、液晶表示パネルの一部に選択的に低電圧、低デューティ駆動で表示を行なうようにしたので、マイク

(14)

25

ロプロセッサより液晶表示パネルの一部のみを選択的に低デューティで駆動できるため、内部シフトレジスタの動作周波数及び液晶駆動電圧を下げることができ、液晶表示制御装置全体のトータル消費電流を抑えることができる。また、駆動デューティの変更に伴い、最適駆動バイアスも変更することができ、コントラストの低下を防止することができるという効果がある。

【0084】さらに、昇圧回路における昇圧出力倍率を設定可能な昇圧倍率選択レジスタを設け、低デューティ化に伴って昇圧回路の昇圧出力倍率を低く設定可能にしたので、昇圧出力電圧を必要最小限度に下げることができ、これにより、液晶駆動電源回路の動作電圧を下げる
10 ことができるとともに、昇圧回路の効率を向上させることができ、半導体集積回路装置2の消費電流を抑えることができるという効果がある。

【0085】また、液晶表示制御装置内にセンタリング表示指定レジスタを設けるようにしたので、待機時の一部行表示を最も見易い位置、例えば、液晶表示パネル中央部分に指定することができるという効果がある。

【0086】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいふまでもない。例えば、上記実施例では、1ラインずつ順次時分割で駆動する方式の液晶表示制御装置について説明しているが、複数ラインを同時に順次選択する駆動方式の液晶表示制御装置に適用することも可能である。また、上記実施例では待機時の一部行の表示位置を画面の中央に設定するようにした場合について説明したが、待機時の表示位置を設定するためのレジスタを設けて、任意の位置に表示できるように構成することも可能である。
20

【0087】さらに、上記実施例では、液晶表示パネルの表示部が4文字行表示可能なドットマトリックスで構成されている場合について説明したが、コモンドライバの本数を変えることで3文字行あるいは5文字行以上表示可能な液晶表示パネルを駆動する液晶表示制御装置にも適用することができる。また、携帯電話機等においては、アンテナマークや受信レベルを示すマーク等が表示されるピクトグラムが画面上部あるいは下部に設けられることがあり、これらは一般にマークに対応した形状の電極で構成されるが、ピクトグラムに対応してコモン信号を1つあるいは2つ余計に出力できるように液晶表示制御装置のコモンドライバを構成すればよい。この場合、ピクトグラムに対応するコモン信号のみを選択的に駆動し、文字表示部分を常時非選択駆動することで、1/1デューティ（スタティック）駆動、又は、1/2デューティなど、さらに低デューティ駆動も可能となる。

【0088】また、以上の説明では主として、本発明の利用分野である液晶表示制御装置に適用して述べたが、本発明はこれに限定されるものではなく、蛍光表示管表
50

26

示、プラズマディスプレイ表示などの各種表示装置の駆動制御に利用することができる。

【0089】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0090】即ち、複数の表示行を制御する液晶表示制御装置において、システムの待機時などに全ての表示行に表示させる必要がない場合に、消費電流を低減することができる。また、これらの制御を全てマイクロプロセッサがソフトウェアで制御することができるため、システムの動作状態に応じ、必要最小限度の消費電流で液晶駆動を行うことができる。

【図面の簡単な説明】

【図1】図1は、本発明の一実施例に係る液晶表示システムのブロック図である。

【図2】図2は、1/32デューティ駆動（4行表示）時のコモンドライバ出力波形である。

【図3】図3は、COM1から1/16デューティ駆動（2行表示）時のコモンドライバ出力波形である。

【図4】図4は、COM1から1/8デューティ駆動（1行表示）時のコモンドライバ出力波形である。

【図5】図5（a）、（b）、（c）は、COM1から1/32、1/16、1/8デューティ駆動したときの液晶表示パネル上での表示例である。

【図6】図6は、COM9から1/16デューティ駆動（2行表示）時のコモンドライバ出力波形である。

【図7】図7は、COM9から1/8デューティ駆動（1行表示）時のコモンドライバ出力波形である。

【図8】図8（a）、（b）、（c）は、COM9から1/32、1/16、1/8デューティ駆動したときの液晶表示パネル上での表示例である。

【図9】図9は、表示パネル中央部に表示するためのコモンシフトレジスタの詳細な回路図である。

【図10】図10は、表示パネル中央部に表示するためのコモンシフトレジスタの出力波形タイミングである。

【図11】図11は、液晶駆動電圧発生用昇圧回路11と液晶駆動系の回路構成図である。

【図12】図12（A）、（B）、（C）及び（D）は、液晶駆動電圧発生用昇圧回路11の具体例を示す回路図である。
40

【図13】図13（A）及び（B）は、液晶駆動電圧発生用昇圧回路11の1倍から3倍までの昇圧動作原理である。

【図14】図14（A）は液晶駆動バイアス設定回路18の具体的な回路構成図である。

【図15】図15（B）、（C）、（D）、（E）、（F）、（G）、（H）及び（I）は、各バイアスの等価回路を示している。

【図16】図16（A）は、交流駆動方式におけるフレ

(15)

27

ームIとフレームIIのコモン信号・セグメント信号の信号波形を示す波形図、また図16(B)は、ドットマトリクス型液晶パネル1の一部分を模式的に示す拡大平面図である。

【図17】図17(A)、(B)、(C)、(D)は、実施例の液晶表示制御装置を液晶表示パネルと共に携帯電話機に搭載する場合の実装例を示す概略構成図である。

【図18】図18(A)、(B)は、実施例の液晶表示制御装置の端子配置例および液晶表示パネルと液晶表示制御装置との接続例を示す概略構成図である。

【図19】図19は、本発明の液晶表示システム100が適用される携帯電話システムの概略的なブロック図を示す。

【図20】図20は本発明の液晶表示システム100が適用される携帯電話91を示す。

【図21】図21は、液晶パネル1の構造を示す斜視図である。

【図22】図22は、液晶パネル1の構造を示す断面図である。

【図23】図23は、本発明の他の実施例に関する液晶表示システム150のブロック図を示す。

【図24】図24は、図23の実施例におけるコモンシフトレジスタの詳細な回路図である。

【図25】図25は、図23の実施例において、中央表示状態へ移行した場合の液晶パネル140の表示例を示す。

【図26】図26は、図23の実施例における液晶パネル140の構成例を示す。

【符号の説明】

1 マイクロプロセッサ (MPU: マイクロ・プロセッサ・ユニット)

2 液晶表示制御装置

28

3 液晶表示パネル

4 システムインタフェース

5 インストラクションレジスタ

6 アドレスカウンタ

7 表示メモリ (表示データRAM)

8 キャラクタジェネレータメモリ (CGROM)

9 並直変換回路

10 タイミング発生回路

11 昇圧回路

12 セグメントシフトレジスタ

13 ラッチ回路

14 セグメントドライバ

15 コモンシフトレジスタ

16 コモンドライバ

17 液晶駆動電源回路

18 液晶駆動バイアス回路

31 センタリング表示指定レジスタ

32 駆動バイアス選択レジスタ

33 昇圧倍率選択レジスタ

20 34 駆動デューティ選択レジスタ

40 システム電源

DB0~DB7 データバス信号

E リード/ライトイネーブル信号

R/Wリード/ライト選択信号

RS レジスタ選択信号

COM1~COM32 コモン駆動信号端子

SEG1~SEG80 セグメント駆動信号端子

CSF1~CSF32 コモンシフトレジスタのシフト出力信号

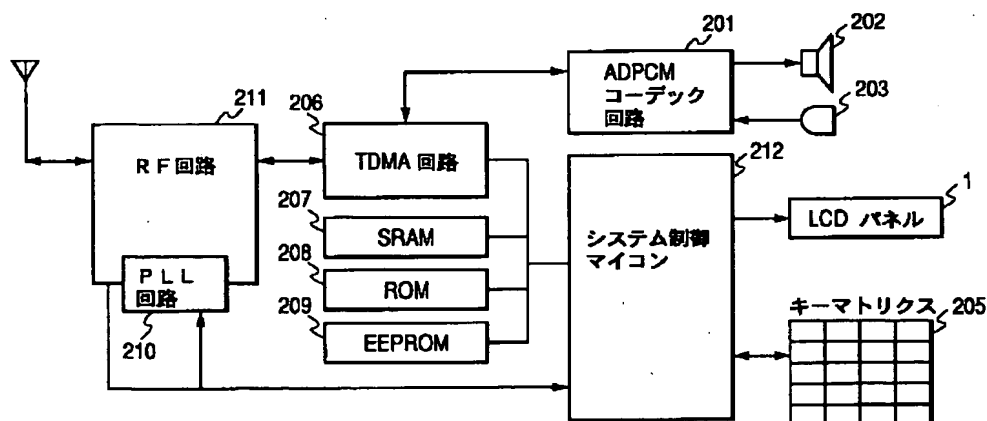
30 Vcc 電源電圧

GND グランド (接地)

Vci 昇圧回路への昇圧基本電圧

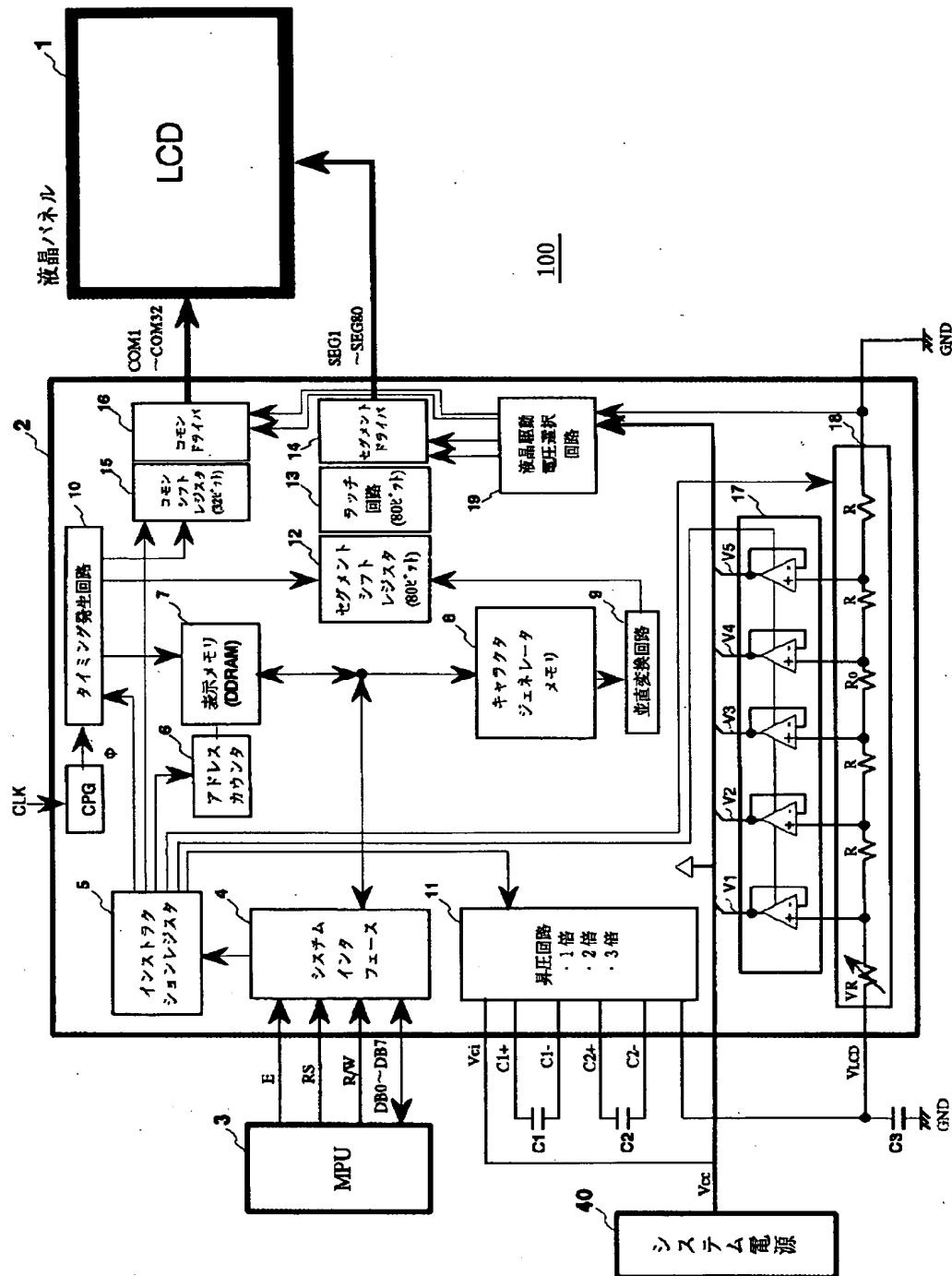
VLOUT 昇圧電圧出力端子

【図19】



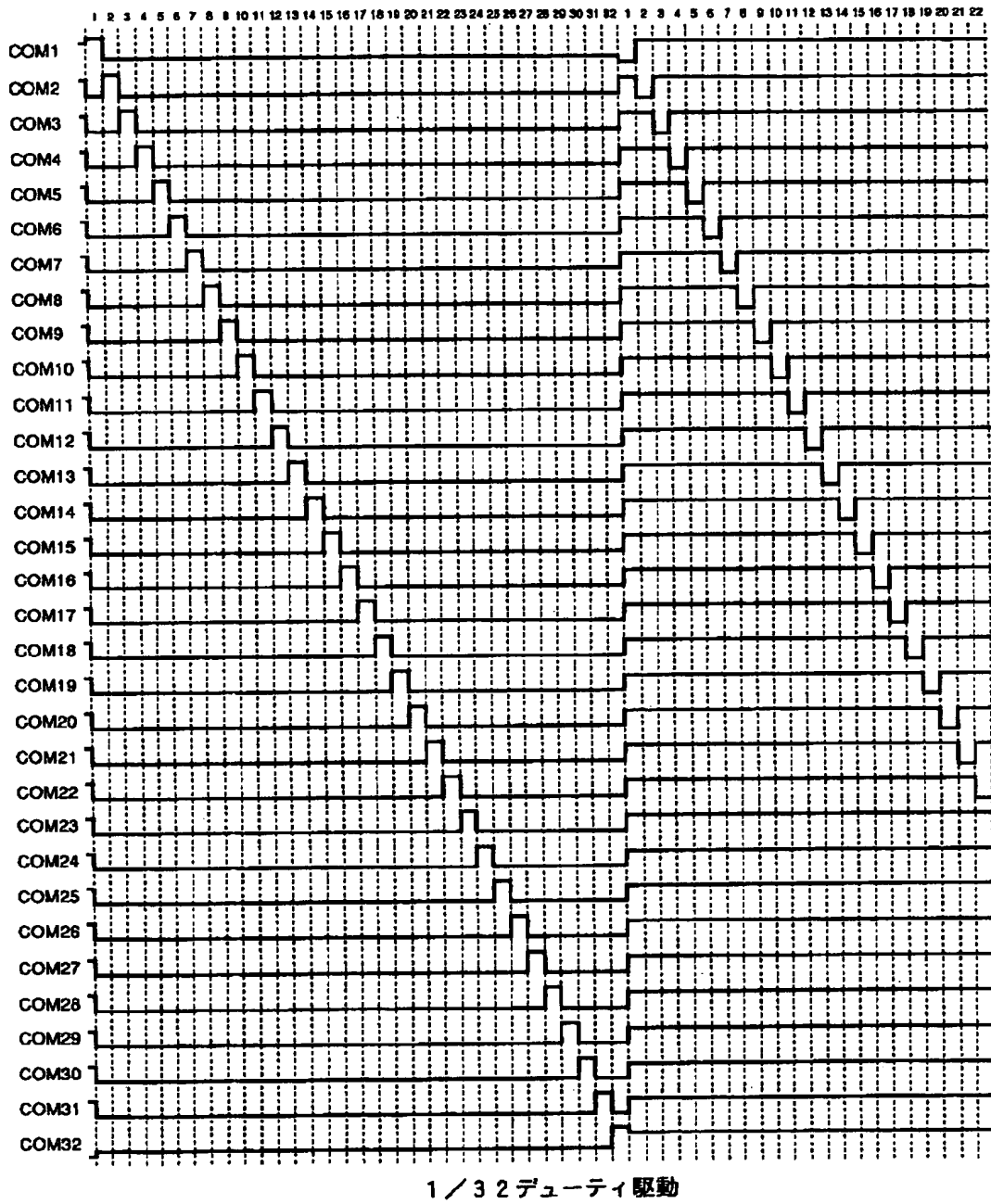
(16)

【図1】

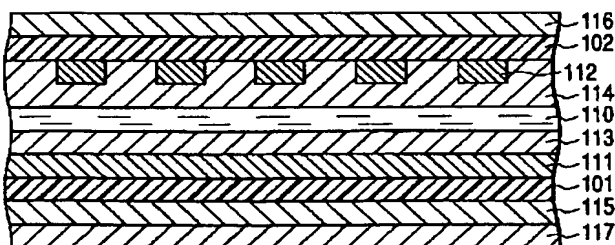


(17)

【図2】

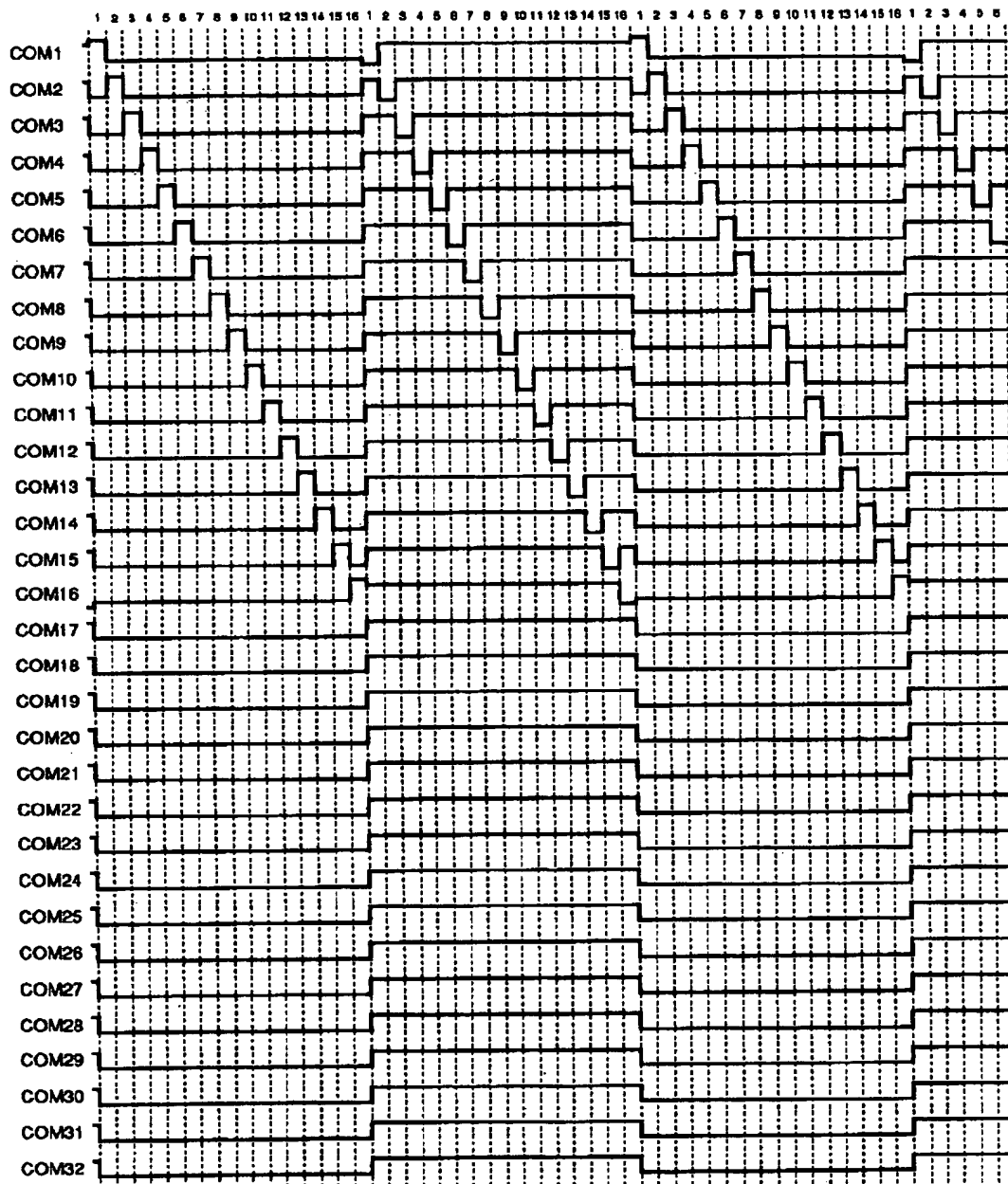


【図22】



(18)

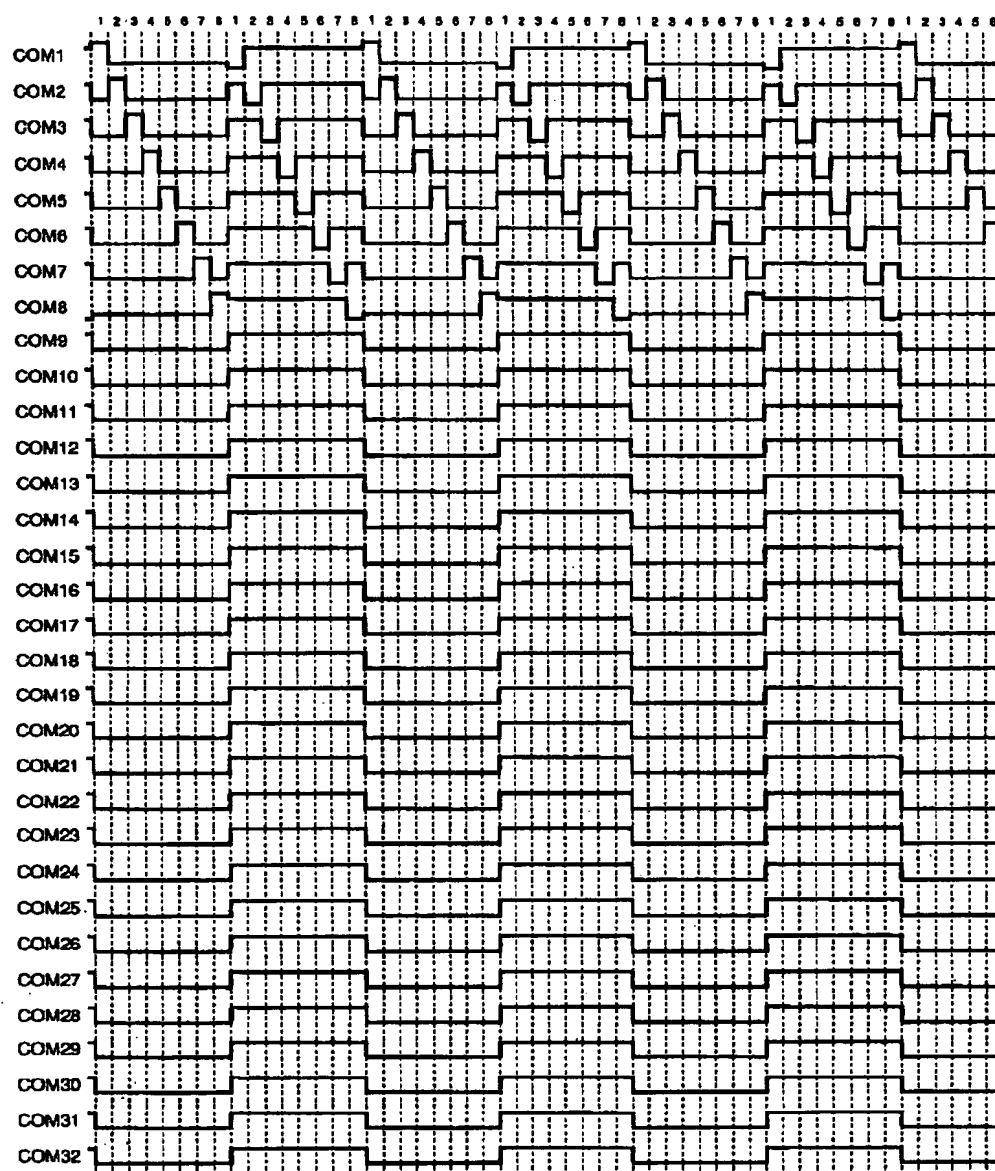
【図3】



1 / 16 デューティ駆動 (COM1~COM16まで時分割駆動)

(19)

【図4】

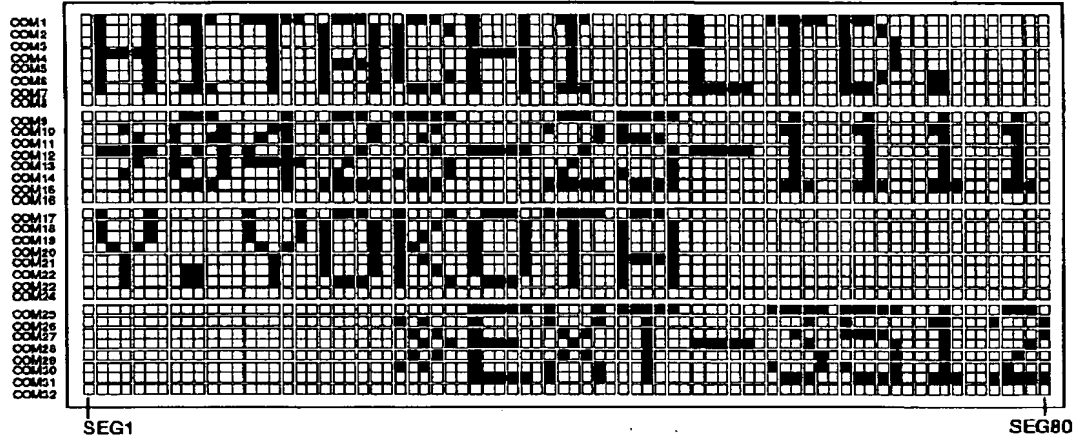


1/8 デューティ駆動 (COM1~COM8まで時分割駆動)

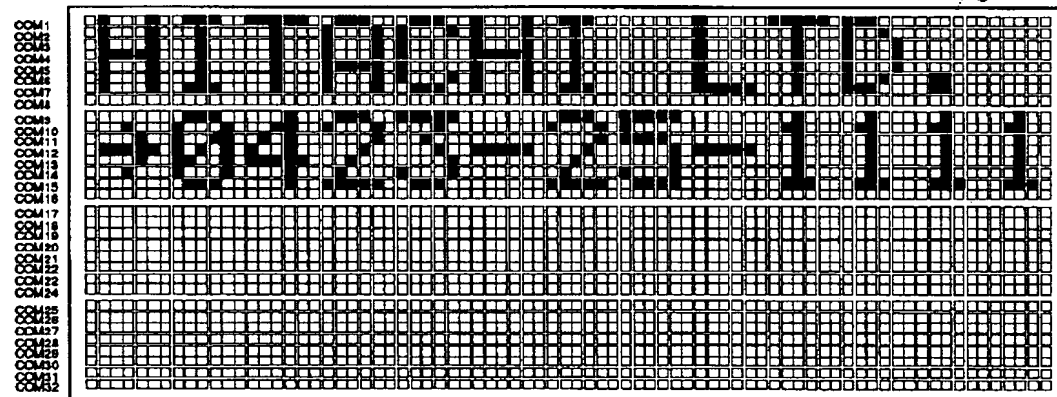
(20)

【図 5】

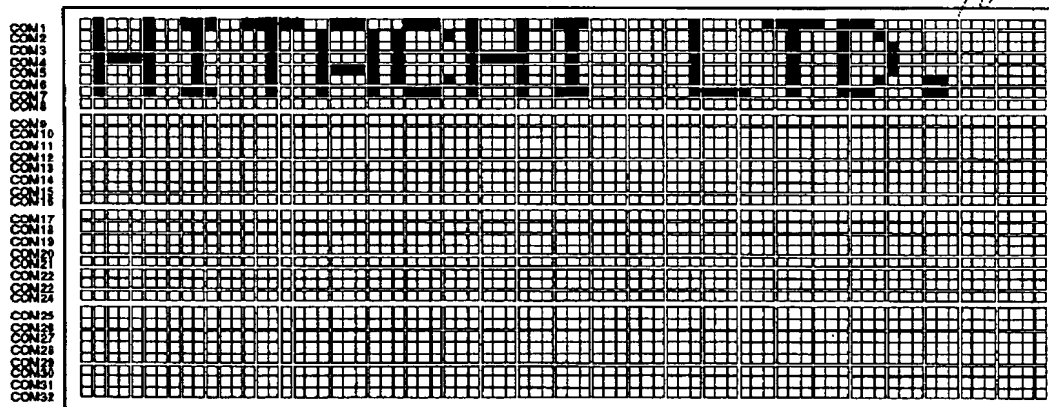
(a) 1/3 2 デューティ駆動 (COM1~COM32まで時分割駆動)



(b) 1/16 デューティ駆動 (COM1~COM16まで時分割駆動)



(c) 1/8 デューティ駆動 (COM1~COM8まで時分割駆動)



(21)

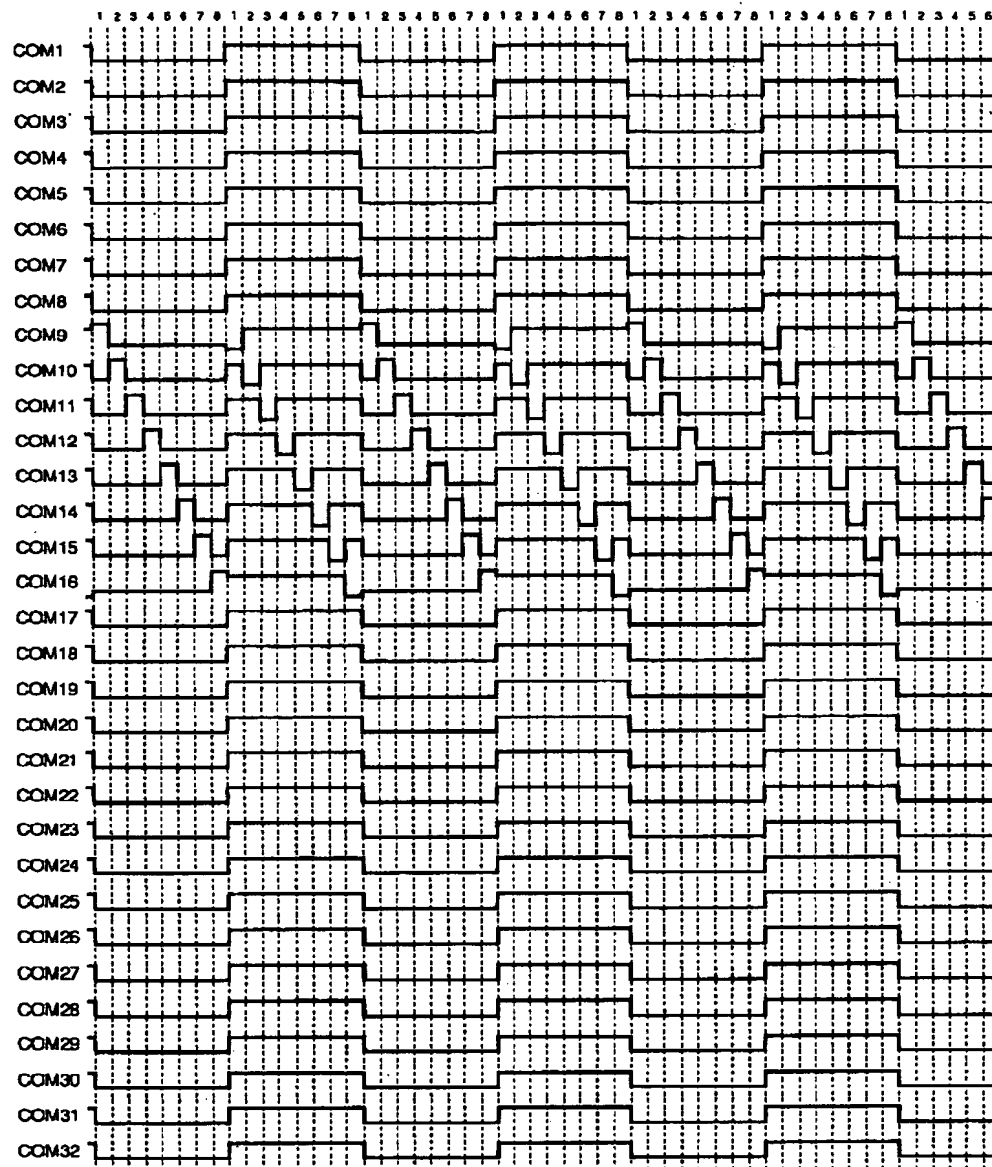
【図6】



1 / 16 デューティ駆動 (COM9~COM24まで時分割駆動)

(22)

【図7】

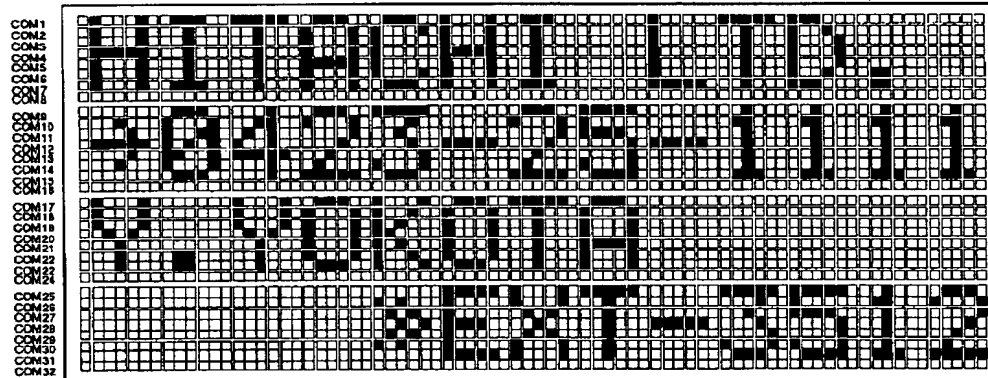


1 / 8 デューティ駆動 (COM9—COM16まで時分割駆動)

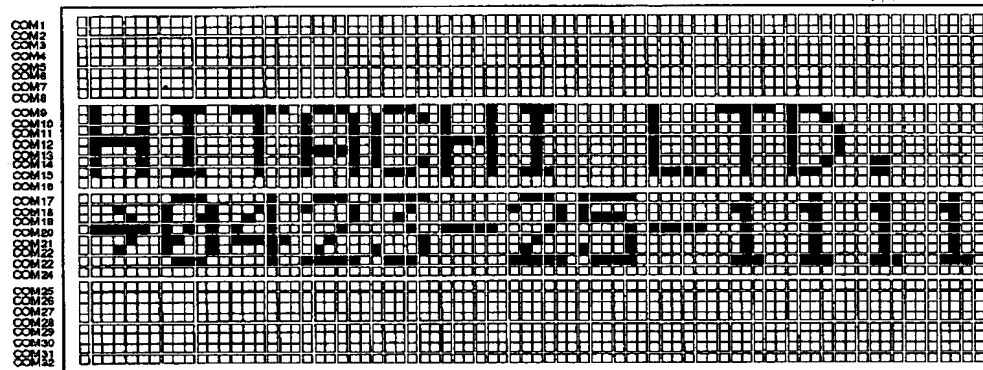
(23)

【図8】

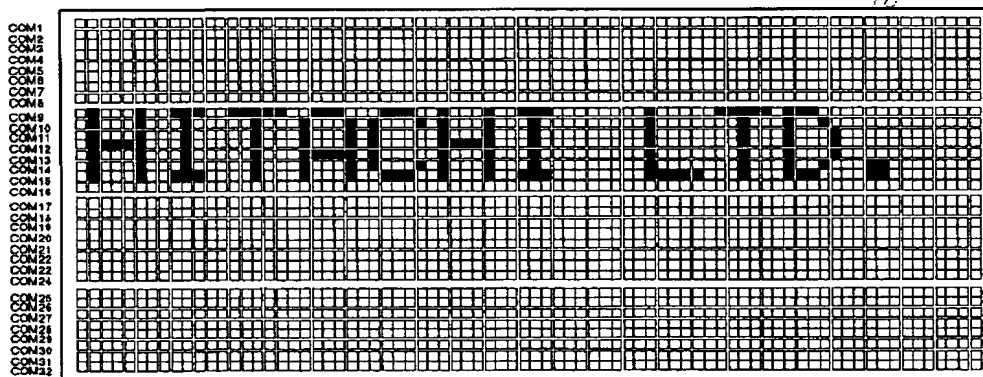
(a) 1/3 2 デューティ駆動 (COM1~COM32まで時分割駆動)



(b) 1/16 デューティ駆動 (COM9~COM24まで時分割駆動)

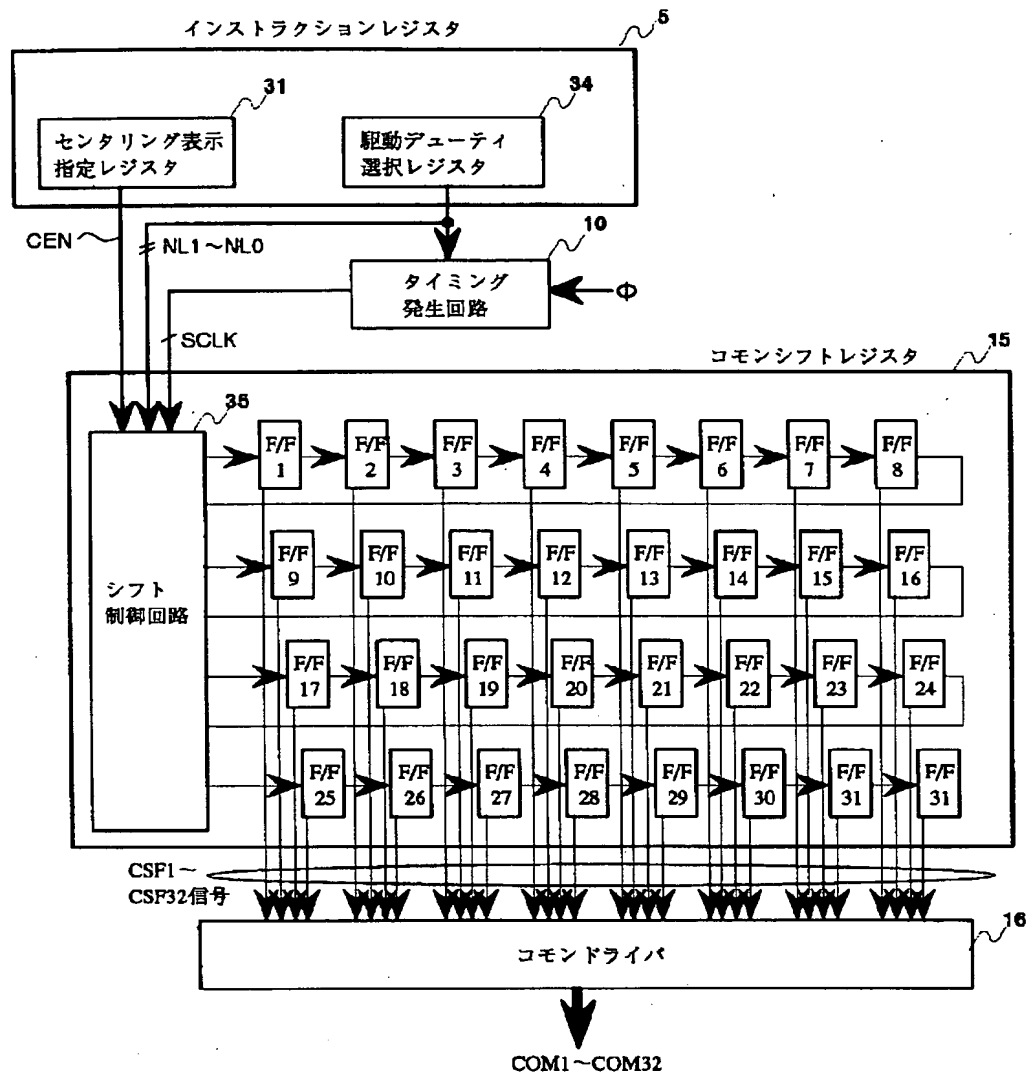


(c) 1/8 デューティ駆動 (COM9~COM16まで時分割駆動)



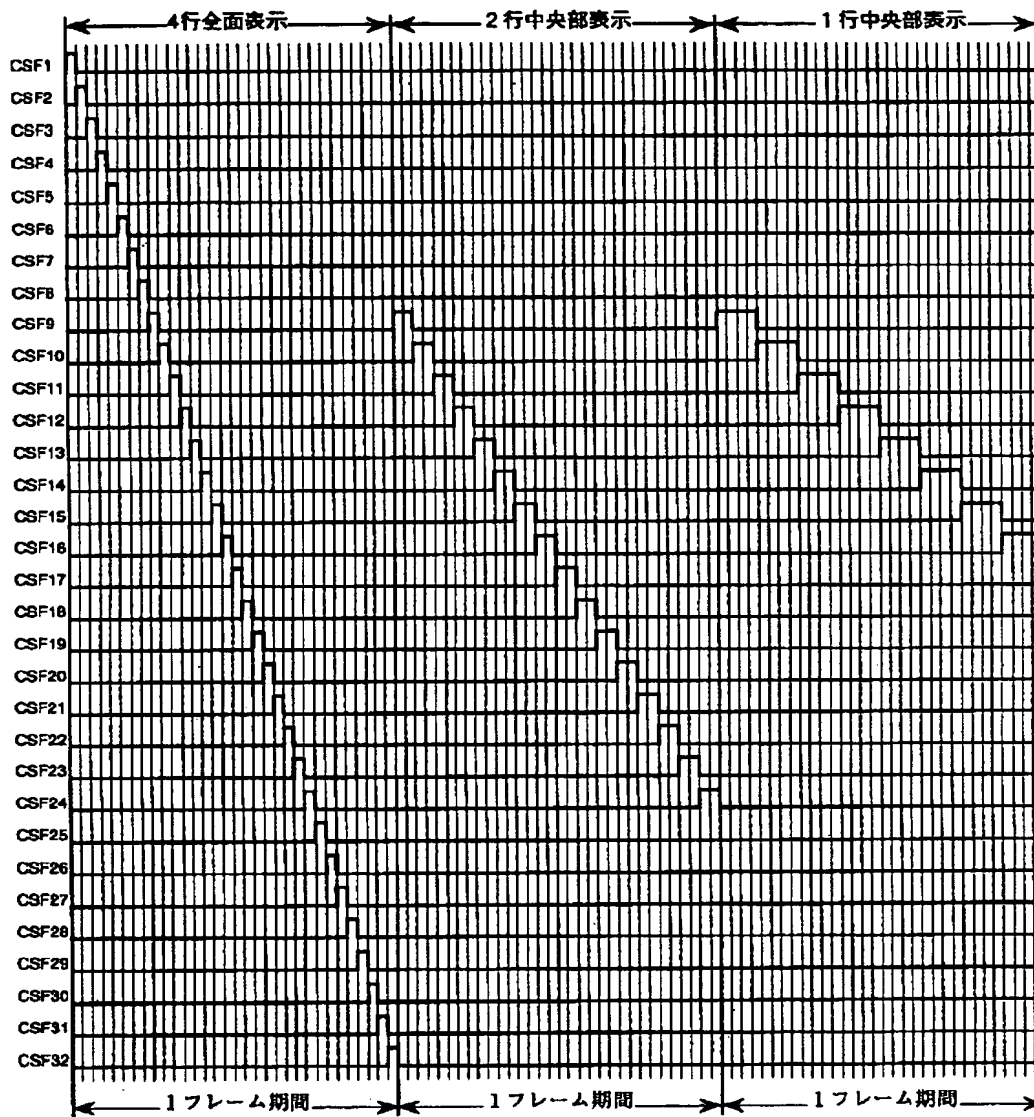
(24)

【図9】



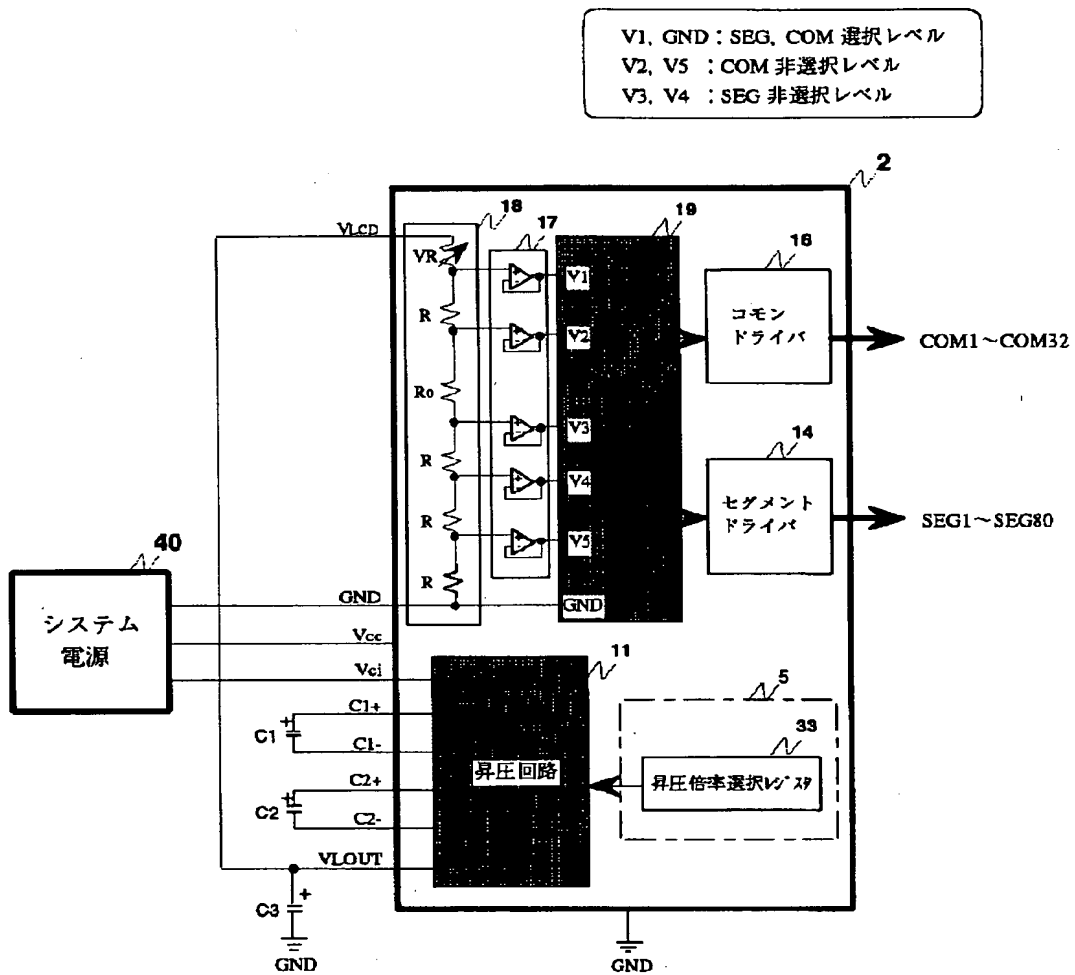
(25)

【図10】

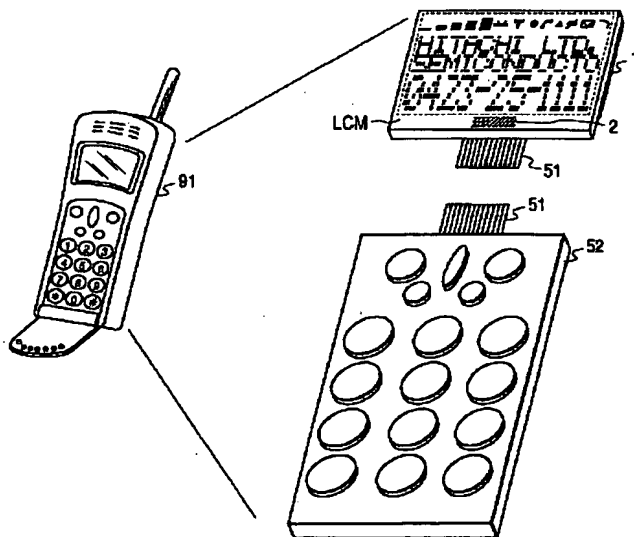


(26)

【図11】

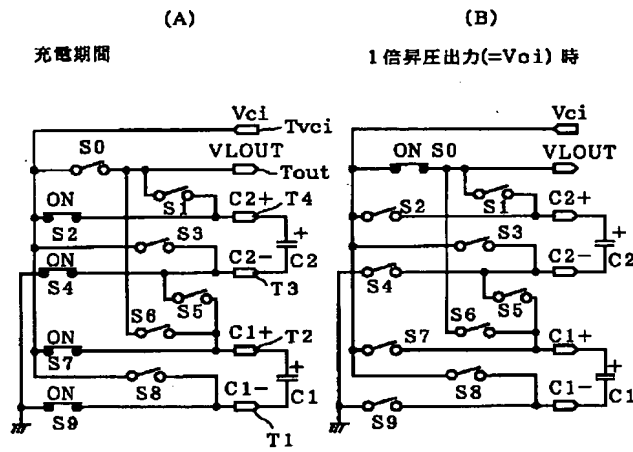


【図20】

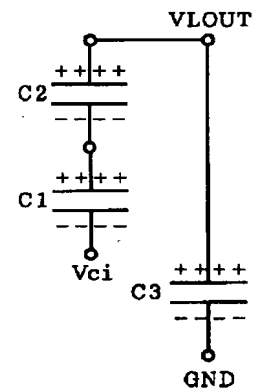
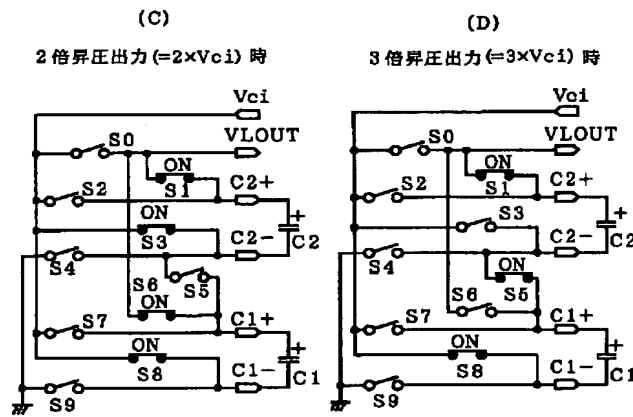
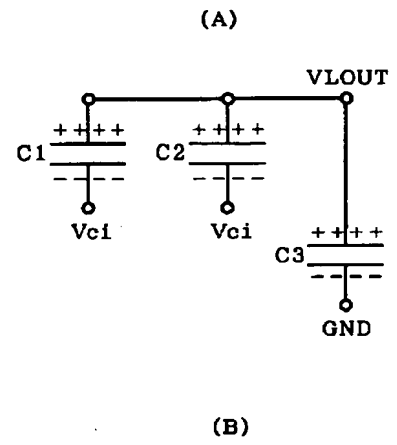


(27)

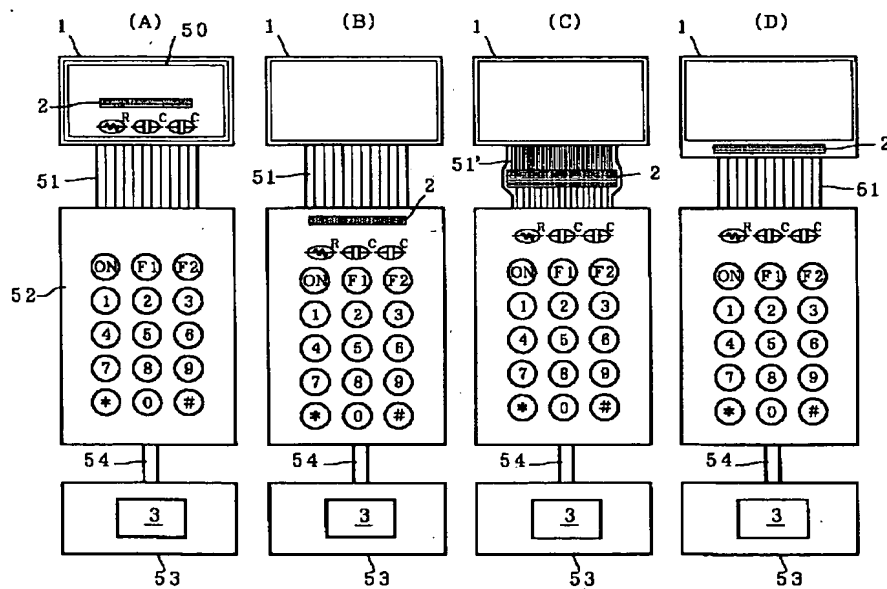
【図12】



【図13】

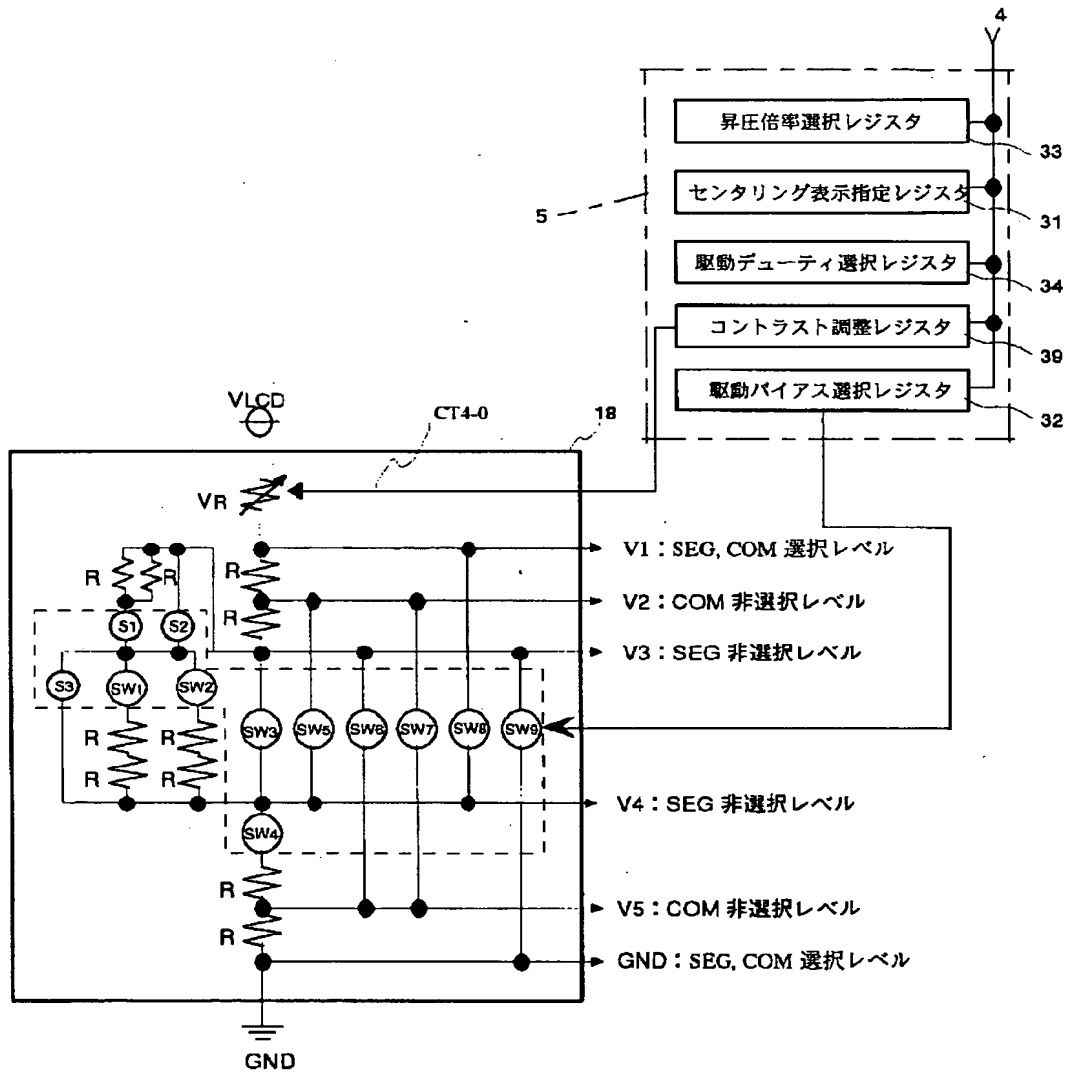


【図17】



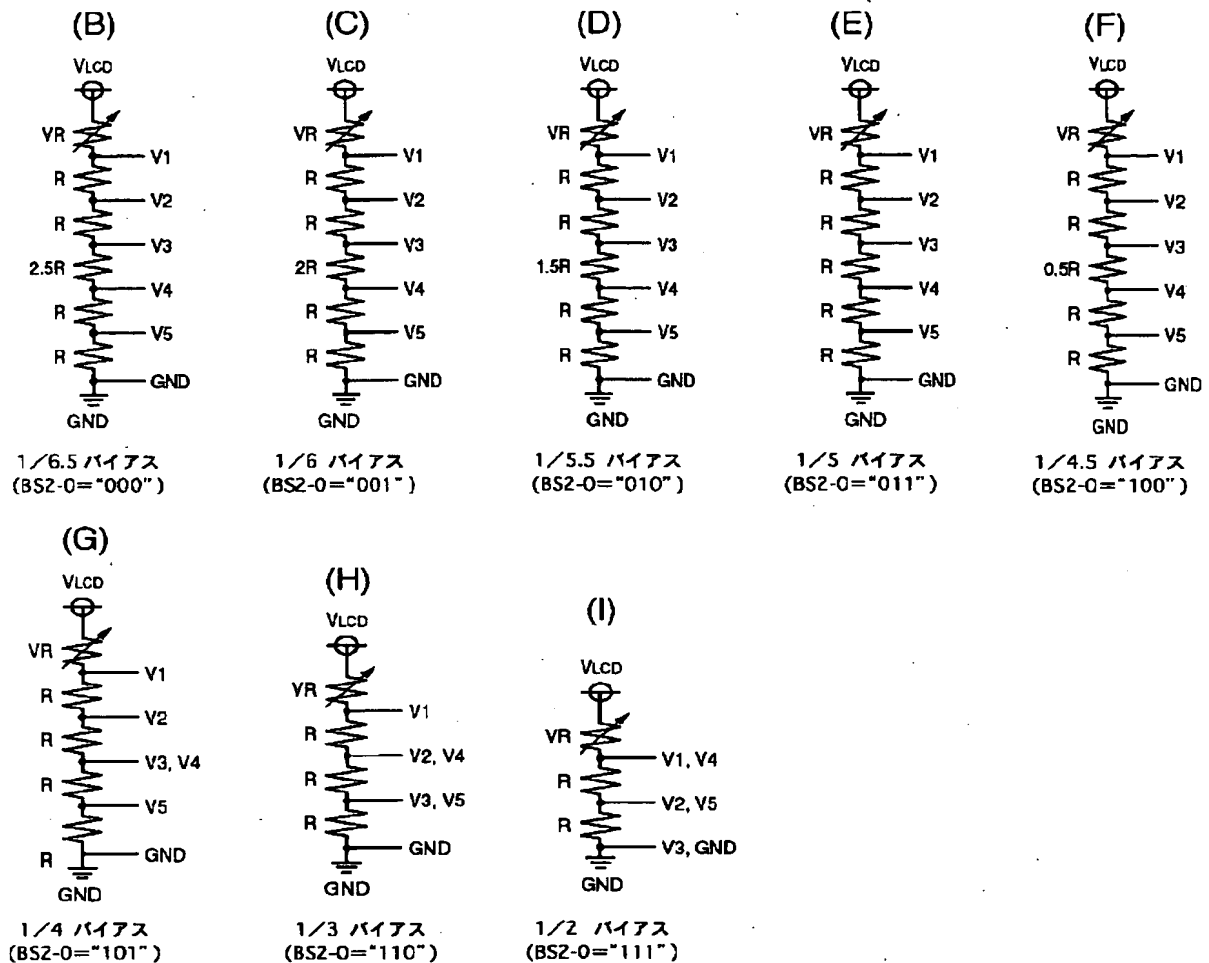
(28)

【図14】

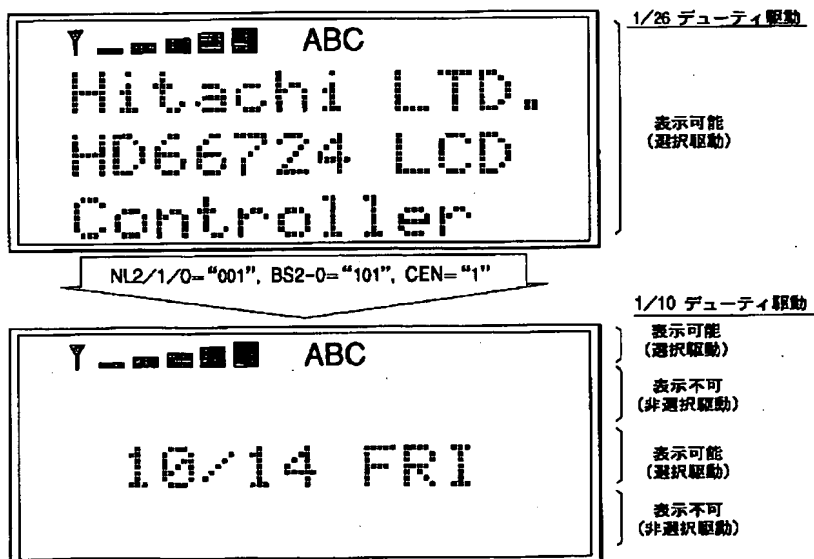


(29)

【図15】

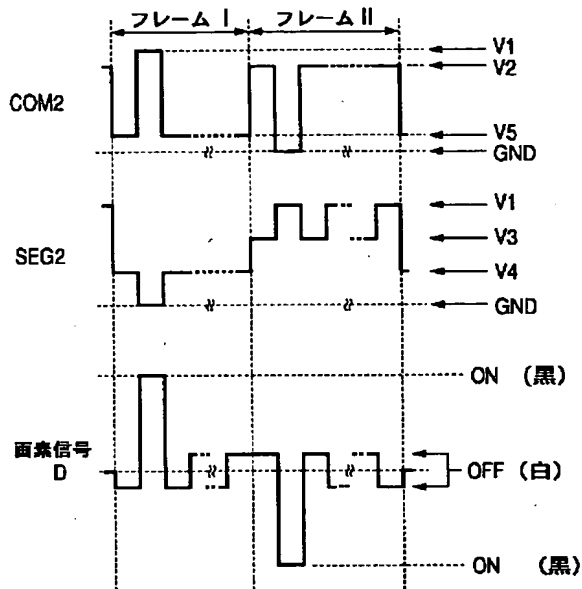


【図25】

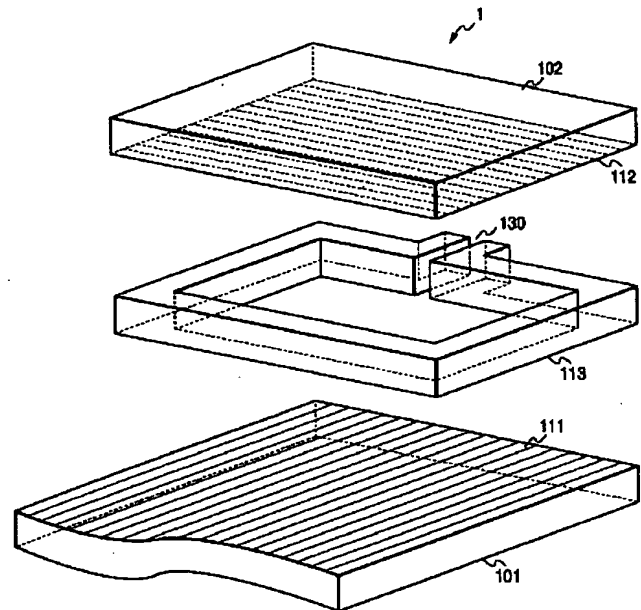


(30)

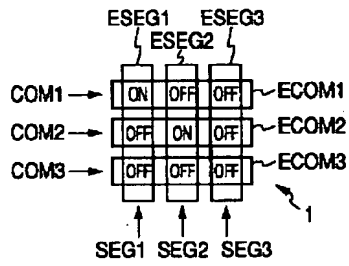
【図16】



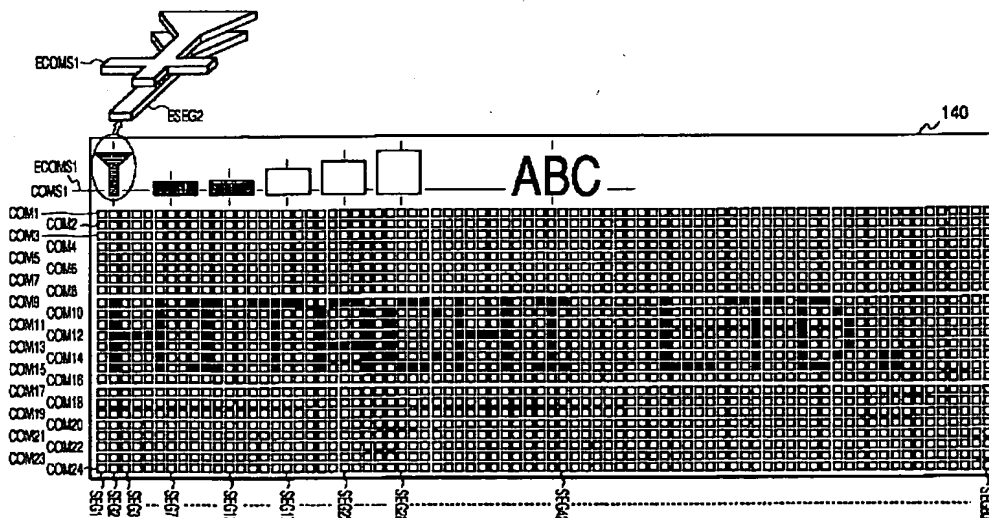
【図21】



(B)



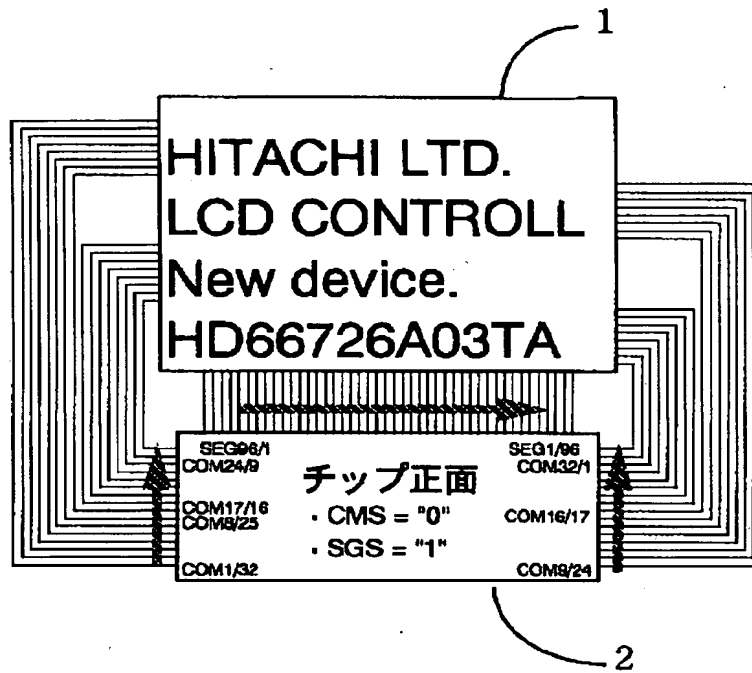
【図26】



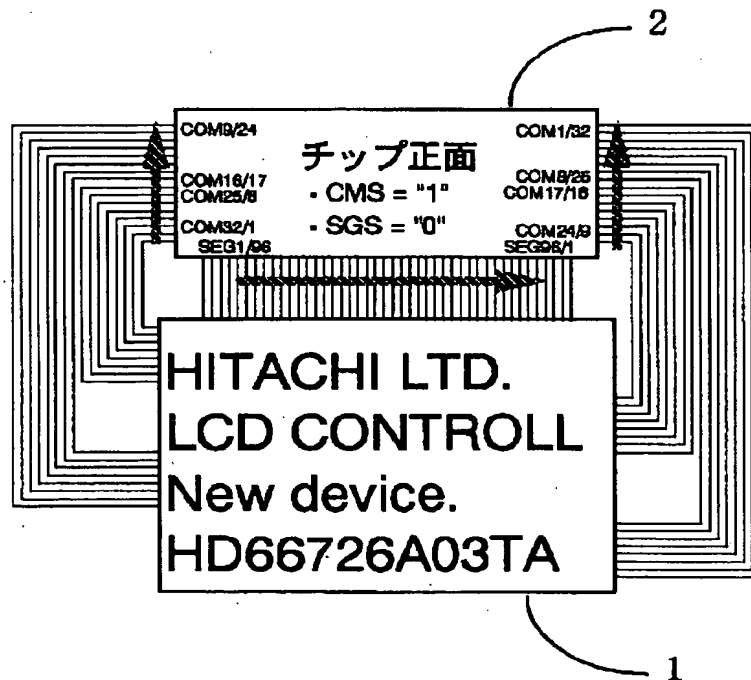
(31)

【図18】

(A)

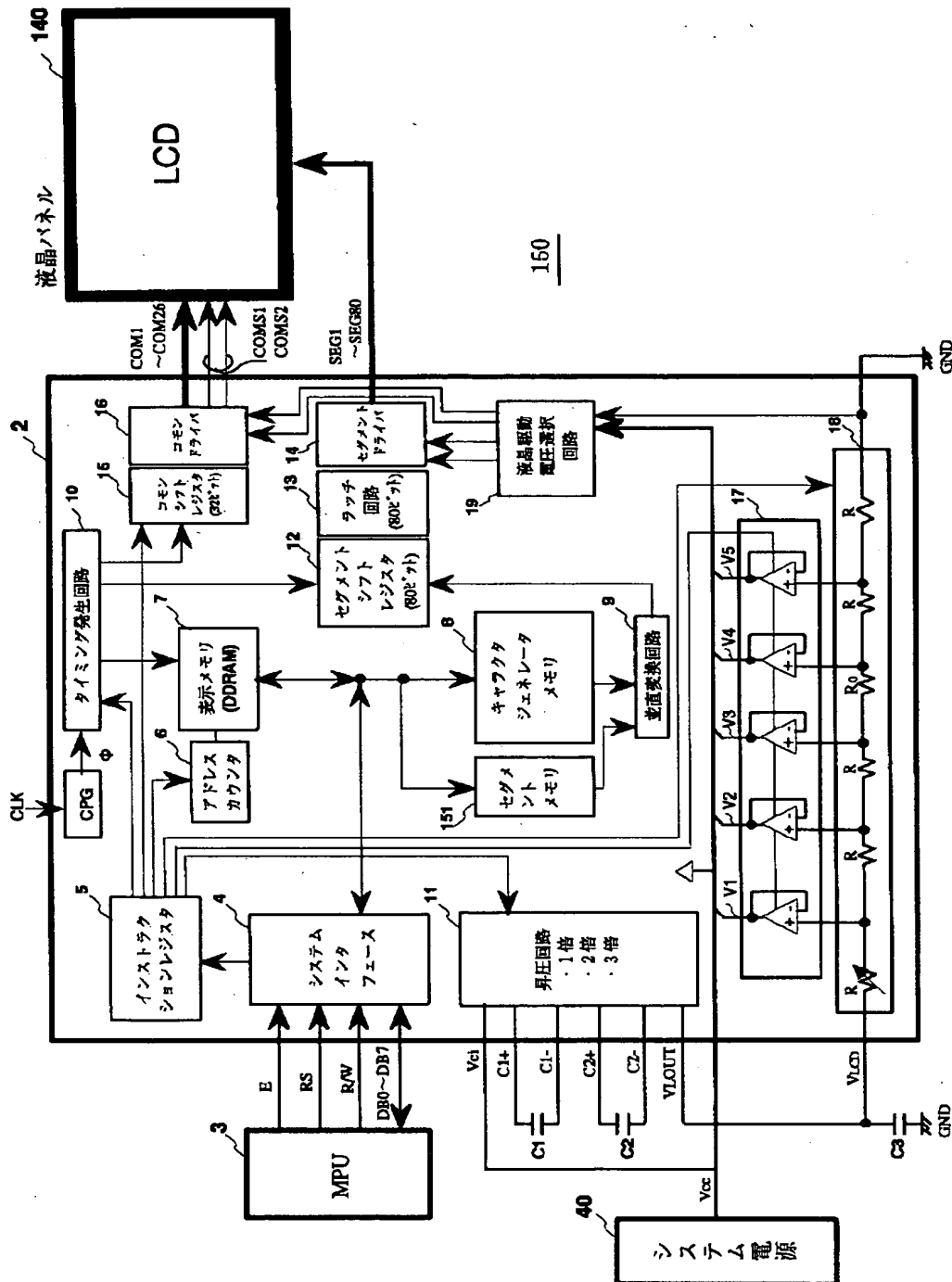


(B)



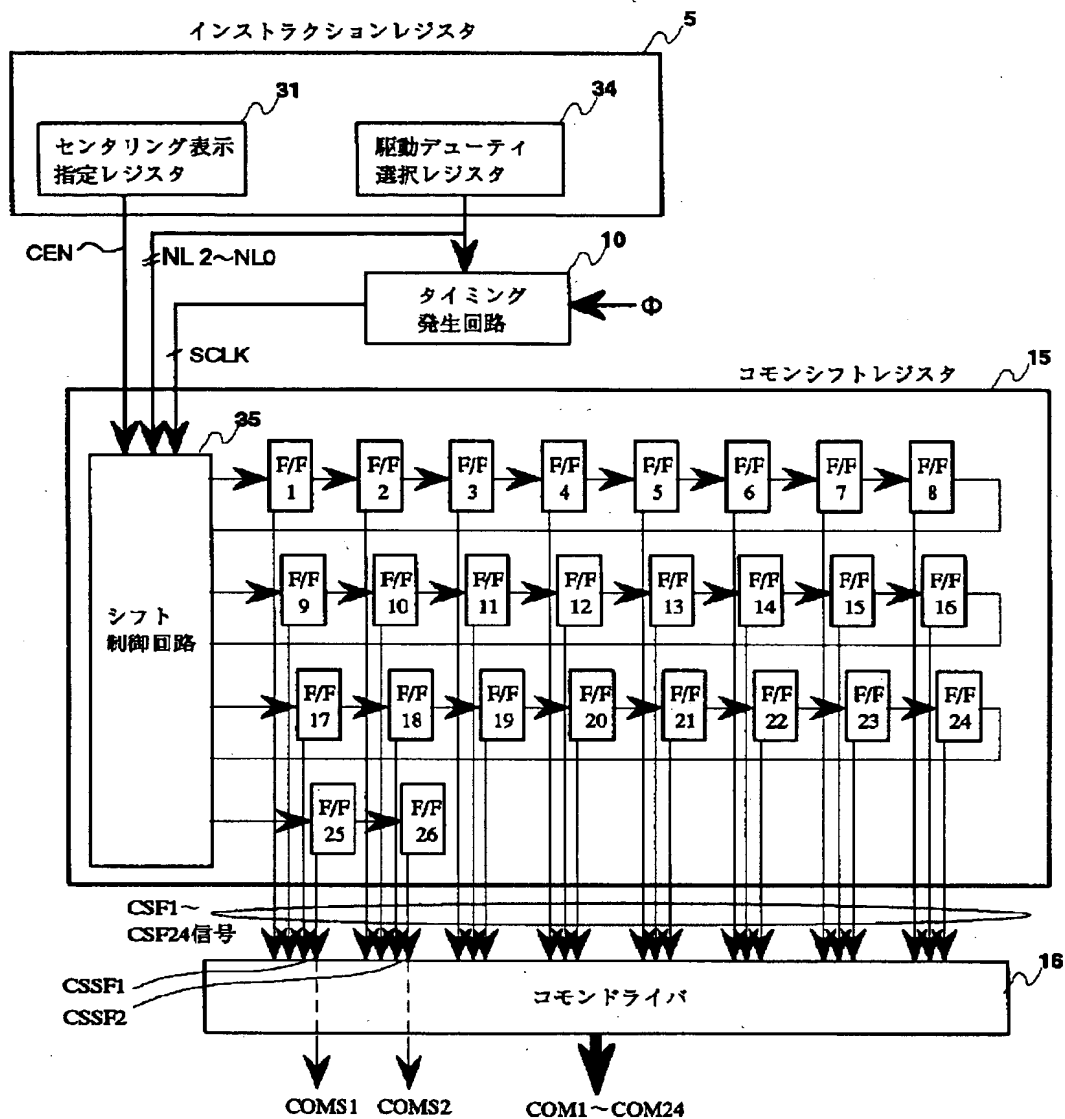
(32)

【図23】



(33)

【図24】



フロントページの続き

(72) 発明者 坂巻 五郎
 東京都小平市上水本町五丁目20番1号 株
 式会社日立製作所半導体事業部内
 (72) 発明者 山本 勝彦
 千葉県茂原市早野3681番地 日立デバイス
 エンジニアリング株式会社内

(72) 発明者 米岡 卓
 千葉県茂原市早野3681番地 日立デバイス
 エンジニアリング株式会社内
 (72) 発明者 樋口 和久
 千葉県茂原市早野3681番地 日立デバイス
 エンジニアリング株式会社内
 (72) 発明者 杉山 公彦
 千葉県茂原市早野3681番地 日立デバイス
 エンジニアリング株式会社内